

レスポンスプロセッサの AD/DAボードの仕様書

山崎 信行

平成 12 年 4 月 22 日

1 ADC/DACの仕様

本ボードには、12bit の ADC(BB ADS7800) 及び 16bit の DAC (BB DAC714) をそれぞれ 6 チャンネル搭載している。

2 アドレスマップ

AD/DA モジュールのチップセレクト信号はレスポンスプロセッサの外部チップセレクト信号 (XEXCS) を使用している。XEXCS の ASI はプログラマブルに決定される。アドレスは固定 (0x02000XXXX) である。詳細はレスポンスプロセッサ仕様書参照のこと。

レジスタ名	アドレス
ADC データレジスタ	0x00 – 0x14
DAC データレジスタ	0x20 – 0x34
ADC 制御レジスタ	0x40
ADC 状態レジスタ	0x44
DAC 制御レジスタ	0x48
DAC カウンタレジスタ	0x4C

2.1 ADC 制御レジスタ (R/W)

ADC を制御するためのレジスタである。データの対応は以下の通り。

AD_MODE D[2]

AD_IRQ D[1]

AD_INT D[0]

AD_MODE が 1 の時は、AD0 から AD5 までサイクリックに連続してアナログデータを取り込む。常に最新のキャプチャデータが ADC データレジスタに保持される。

AD_MODE が 0 の時は、対応する AD 番号に書き込んだ瞬間にデータを取り込む。

AD_MODE が 0 かつ AD_INT が 1 の時は、データの取り込みが終わった瞬間に CPU に対して割り込みをかける。

AD_MODE が 1 かつ AD_INT が 1 の時は、AD5 のデータの取り込みが終わった瞬間に CPU に対して割り込みをかける。(AD0-4 の取り込み終了時には割り込みをかけない。)

割り込みハンドリングルーチンで、AD_IRQ を 0 クリアする必要がある。また、AD_IRQ を 1 にセットすると、割り込みがかかる (デバッグ用)。

2.2 ADCデータレジスタ (R/W)

ADCの各チャンネルのデータレジスタである。各AD[11:0]がデータバスD[11:0]に接続されている。

レジスタ名	アドレス
AD0	0x00
AD1	0x04
AD2	0x08
AD3	0x0C
AD4	0x10
AD5	0x14

2.3 ADC状態レジスタ (R)

ADCの状態を示すレジスタである。データの対応は以下の通り。

- AD_BUSY[x] : AD[x]がデータを取り込み中である。
- AD_BUSY_org[x] : 1クロック前にAD[x]がデータを取り込み中である。

AD_BUSY[0]	D[0]
AD_BUSY[1]	D[1]
AD_BUSY[2]	D[2]
AD_BUSY[3]	D[3]
AD_BUSY[4]	D[4]
AD_BUSY[5]	D[5]
AD_BUSY_org[0]	D[8]
AD_BUSY_org[1]	D[9]
AD_BUSY_org[2]	D[10]
AD_BUSY_org[3]	D[11]
AD_BUSY_org[4]	D[12]
AD_BUSY_org[5]	D[13]

2.4 DAC制御レジスタ (R/W)

DACを制御するためのレジスタである。データの対応は以下の通り。

DA_MODE	D[2]
DA_IRQ	D[1]
DA_INT	D[0]

DA_MODEが1かつDA_INTが1の時は、アナログデータの出力が終わった瞬間にCPUに対して割り込みをかける。

DA_MODEが0かつDA_INTが1の時は、DA5のアナログデータを出力した瞬間にCPUに対して割り込みをかける。(DA0-4の出力終了時には割り込みをかけない。)

割り込みハンドリングルーチンで、DA_IRQを0クリアする必要がある。また、DA_IRQを1にセットすると、割り込みがかかる(デバッグ用)。

2.5 DACカウンタレジスタ (R/W)

DACのシリアルクロックを発生するためのカウンタ。バスクロックをこのカウンタで分周してDACのシリアルクロックを発生させる。このカウンタの値だけバスクロックをカウントすると、DACのシリアルクロックが反転する。(初期値：5)

2.6 DACデータレジスタ (R/W)

DACの各チャンネルのデータレジスタである。各 DA[15:0] がデータバス D[15:0] に接続されている。

レジスタ名	アドレス
DA0	0x20
DA1	0x24
DA2	0x28
DA3	0x2C
DA4	0x30
DA5	0x34