

富士通 A S I C マクロ機能説明書

F _ R T C

(第 2 版)

富士通株式会社

版数	年 月 日	変 更 内 容
0 1	9 5 . 1 2 . 2 0	初版
0 2	9 7 . 7 . 1 8	1) p. 18 XRST 説明文 h) XIRQ 端子はハイインピーダンス状態になる。 ↓ h) XIRQ 端子は"1"出力となる。 2) p. 37 CF ビットの説明内 下から2行目 しかし、イネーブルレジスタの SET ビットが… ↓ しかし、イネーブルレジスタの PE ビットが… 3) p. 39 フラグレジスタの各ビットの説明 *FIF…このビットは、セレクト・レジスタの CS3~0 ビットにより選択された割り込み周期信号(FIF):28 ページ参照 の立ち上がり毎に"1"にセットされます。ここで、タイミングイネーブル・レジスタの FIE ビット=1 かつ本 FIF ビット=1 の時、IRF ビットが"1"にセットされます。 <以下略> *AIF…このビットは、設定されているアラームの時間と現在の時間が一致することにより"1"にセットされます。ここで、イネーブル・レジスタの AIE ビット=1 かつ本 AIF ビット=1 の時、IRF ビットが"1"にセットされます。 <以下略> *RIE…このビットは、1 秒間に1回の更新が終了するたびに、"1"がセットされるビットです。ここで、イネーブル・レジスタの RIE ビット=1 かつ本 RIE ビット=1 の時、IRF ビットが"1"にセットされます。 <以下略> 4) p. 40 ステータスレジスタ RTB ビット説明 ・ PS 端子 → PWS 端子 ・ VRT ビット → RTB ビット ・ 2行目 RTB ビットは"0"にセットされます。 ↓ RTB ビットは"0"にリセットされます。

目 次

1. 名称	2 page
2. 適用	2 page
3. 関連仕様書	2 page
4. L S I 概要	2 page
5. 全体構成図	3 page
6. 全体ブロック図	4 page
7. ブロック機能概要	5 page
8. 端子機能説明	6 page
9. 内部ブロック機能説明	2 3 page
(1) クロック分周回路部	2 3 page
(2) 周期セレクト部	2 6 page
(3) バス・インタフェース部	3 0 page
(4) カレンダ機能・レジスタ部	3 4 page
(5) ユーザ・レジスタ部	4 2 page
10. 内部レジスタ・アドレスマップ	4 4 page

1. 名称

カレンダー用 I C 設計仕様書

2. 適用

本仕様書は、カレンダー用 I C の仕様について規定します。

3. 関連仕様書

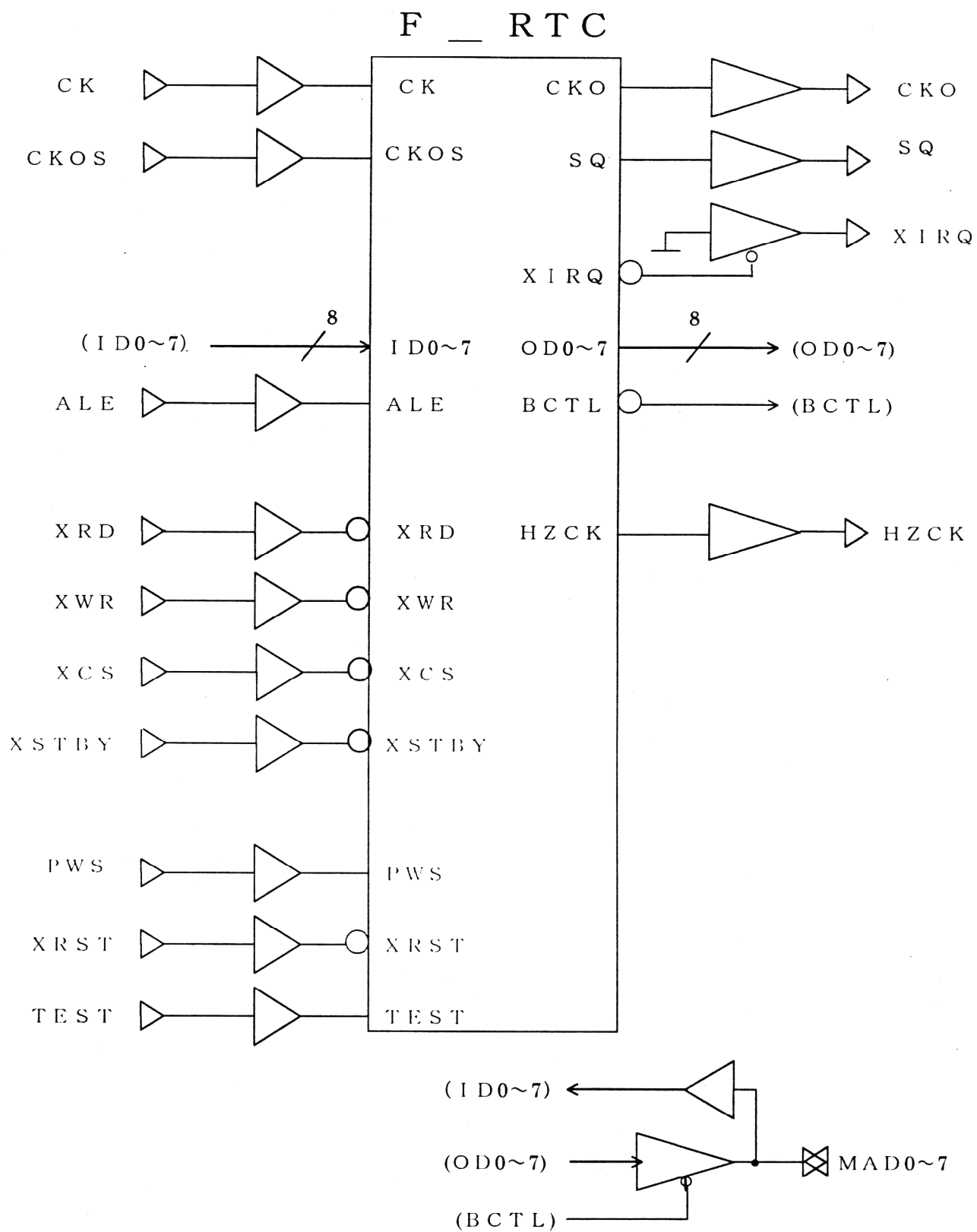
- (1) カレンダー用 I C 論理回路図
- (2) カレンダー用 I C S I M 仕様書

4. L S I 概要

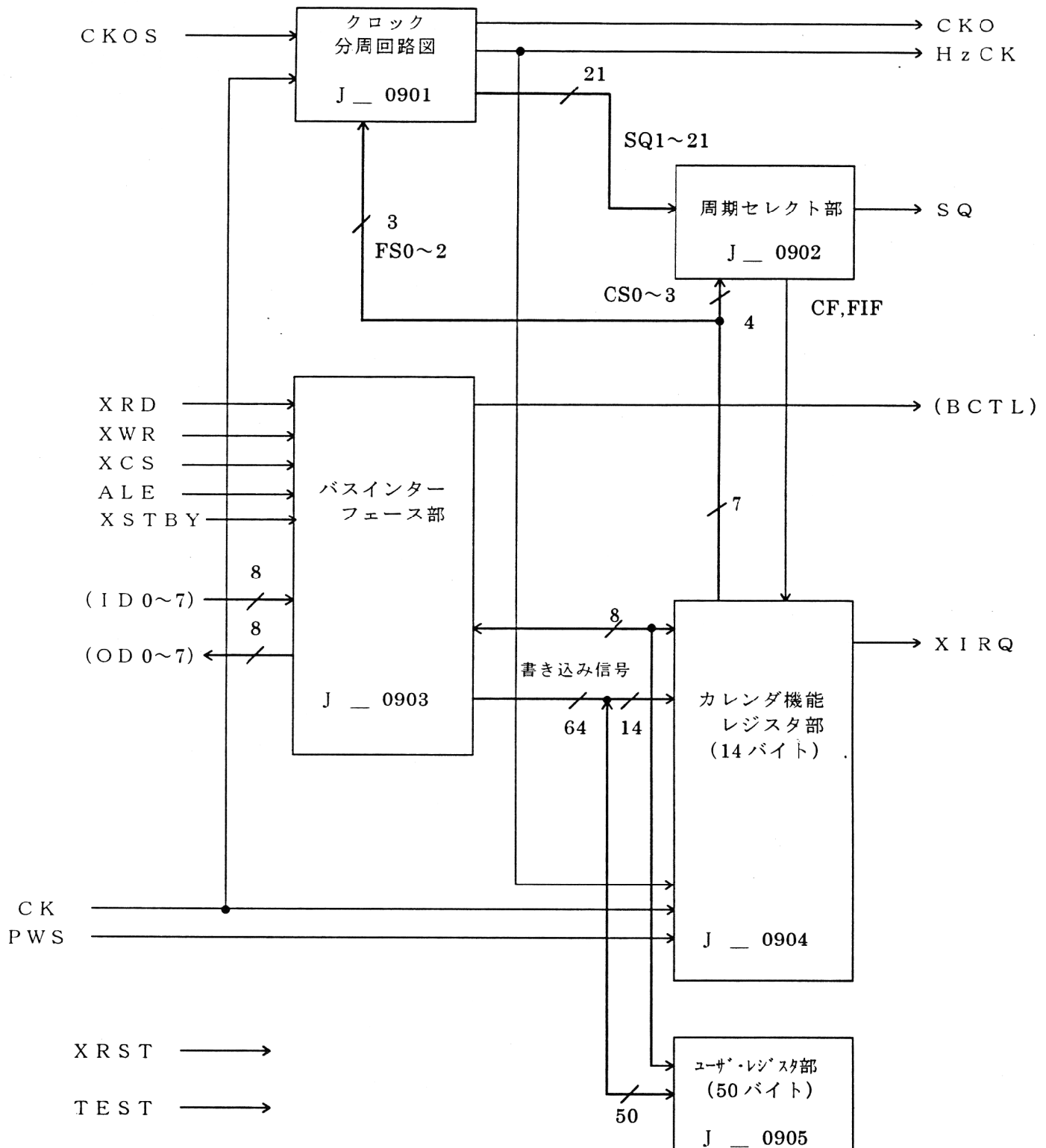
本 L S I はカレンダー動作として年・月・時・分・秒・曜日のカウントを行うと共に、随時 C P U によりリード・ライト可能で以下の機能を有す。

- (1) アラームとカレンダーを組み込んだ時計機能、選択可能な 3 種類の割り込み、方形波出力、さらに 5 0 バイトの汎用レジスタを持つ。
- (2) バスのマルチプレクス構成による端子の有効活用。
- (3) うるう年自動修正・月日数の自動認識。
- (4) サマータイム機能オプション。
- (5) 2 進 / 2 進化 1 0 進表現可能。
- (6) 1 2 時間 / 2 4 時間表示可能
- (7) 基本周波数は、4. 1 9 4 3 0 4 M H z 、 1. 0 4 8 5 7 6 M H z 、 3 2. 7 6 8 k H z より選択
- (8) R T C 内のカレンダー時間・アラームの各情報が確定したデータであることを表示するステータスビット (C F)

5. 全体構成図



6. 全体ブロック図



7. ブロック機能概要

7-1. クロック分周回路部 (J-0901)

本ブロックは、CK端子より入力された基本周波数を22段の分周回路で分周し、時間・カレンダー機能の基本となる1Hzのクロックを生成。

又、基本周波数が基本周波数を4分周したもののどちらかをCKOS端子で選択し、CKO端子に出力。

7-2. 周波セレクト部 (J-0902)

本ブロックは、クロック分周回路部で分周されたそれぞれの信号を、セレクト・レジスタのCS0~3 (b0~3) ビットで選択し、SQ端子に出力。

又、セレクト・レジスタのCF (b7) ビットとフラグ・レジスタのFIF (b6) ビットを生成。

7-3. バス・インターフェース部 (J-0903)

本ブロックは、マルチプレクス構成によるデータバスよりアドレス情報とデータをそれぞれ取り込んで、各レジスタへ書き込み、又は読み出しを行う。

7-4. カレンダー機能・レジスタ部 (J-0904)

本ブロックは、10バイトの時間・カレンダー・アラームレジスタと4バイトの制御用レジスタから構成。

7-5. ユーザ・レジスタ部 (J-0905)

本ブロックは、50バイトの汎用レジスタ。

7. ブロック機能概要

7-1. クロック分周回路部 (J-0901)

本ブロックは、CK端子より入力された基本周波数を22段の分周回路で分周し、時間・カレンダー機能の基本となる1Hzのクロックを生成。

又、基本周波数が基本周波数を4分周したもののどちらかをCKOS端子で選択し、CKO端子に出力。

7-2. 周波セレクト部 (J-0902)

本ブロックは、クロック分周回路部で分周されたそれぞれの信号を、セレクト・レジスタのCS0~3 (b0~3) ビットで選択し、SQ端子に出力。

又、セレクト・レジスタのCF (b7) ビットとフラグ・レジスタのFIF (b6) ビットを生成。

7-3. バス・インターフェース部 (J-0903)

本ブロックは、マルチプレクス構成によるデータバスよりアドレス情報とデータをそれぞれ取り込んで、各レジスタへ書き込み、又は読み出しを行う。

7-4. カレンダー機能・レジスタ部 (J-0904)

本ブロックは、10バイトの時間・カレンダー・アラームレジスタと4バイトの制御用レジスタから構成。

7-5. ユーザ・レジスタ部 (J-0905)

本ブロックは、50バイトの汎用レジスタ。

端子名	機 能			
CKO	I / O	種 類	極 性	インタフェース タイミング
	O	CK		CK ↑
・ 入力信号CK端子の4分周、又は同じ周波数を出力。				

基本周波数 (CK)	クロック周波数 選択端子 (CKOS)	クロック周波数出力端子 (CKO)
4. 1 9 4 3 0 4MH z	1	4. 1 9 4 3 0 4MH z
4. 1 9 4 3 0 4MH z	0	1. 0 4 8 5 7 6MH z
1. 0 4 8 5 7 6MH z	1	1. 0 4 8 5 7 6MH z
1. 0 4 8 5 7 6MH z	0	2 6 2. 1 4 4 kH z
3 2. 7 6 8 kH z	1	3 2. 7 6 8 kH z
3 2. 7 6 8 kH z	0	8. 1 9 2 kH z

端子名	機 能			
CKOS	I/O	種 類	極 性	インタフェース タイミング
	I			
・CKO端子から出力されるクロック周波数選択信号。 1 : CK入力と同じ周波数を出力。 0 : CK入力を4分周した周波数を出力。 (CKO参照)				

端子名	機 能			
SQ	I/O	種 類	極 性	インタフェース タイミング
	O	CK		CK↑

・ 2 2 段の内部分周ステージによって作られる 1 5 種類の周波数から 1 つ
 を選択して出力。

(セレクト・レジスタの CS 3 ~ 0 ビットにより、周波数選択。又、イ
 ネーブル・レジスタの SQE ビットで ON/OFF 可能。SQE ビット
 が “0” の時、SQ 端子は “L” 固定。)

セレクト・レジスタ				4. 1 9 4 3 0 4 M H z 1. 0 4 8 5 7 6 M H z	3 2. 7 6 8 k H z
CS 3	CS 2	CS 1	CS 0	S Q 出力周波数	S Q 出力周波数
0	0	0	0	* 動作なし	* 動作なし
0	0	0	1	3 2. 7 6 8 k H z	2 5 6 H z
0	0	1	0	1 6. 3 8 4 k H z	1 2 8 H z
0	0	1	1	8. 1 9 2 k H z	8. 1 9 2 k H z
0	1	0	0	4. 0 9 6 k H z	4. 0 9 6 k H z
0	1	0	1	2. 0 4 8 k H z	2. 0 4 8 k H z
0	1	1	0	1. 0 2 4 k H z	1. 0 2 4 k H z
0	1	1	1	5 1 2 H z	5 1 2 H z
1	0	0	0	2 5 6 H z	2 5 6 H z
1	0	0	1	1 2 8 H z	1 2 8 H z
1	0	1	0	6 4 H z	6 4 H z
1	0	1	1	3 2 H z	3 2 H z
1	1	0	0	1 6 H z	1 6 H z
1	1	0	1	8 H z	8 H z
1	1	1	0	4 H z	4 H z
1	1	1	1	2 H z	2 H z

* 動作なし (割り込みがかからない)

端子名	機 能			
ID0	I / O	種 類	極 性	インタフェース タイミング
ID1				
ID2	O			
ID3				
ID4				
ID5				
ID6				
ID7				

.....

.....

.....

.....

.....

OD 0 ~ 7

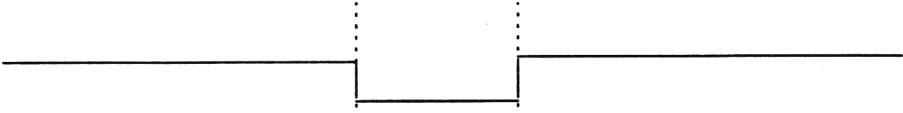
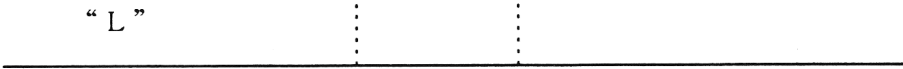
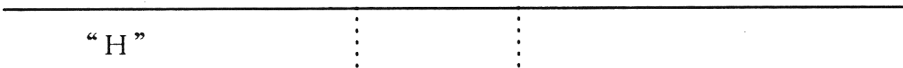
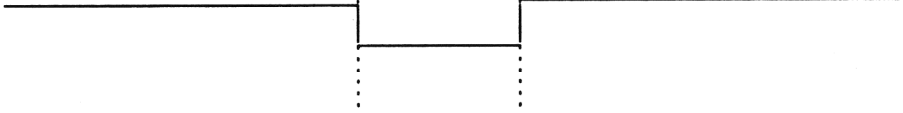
B C T L

M A D 0 ~ 7

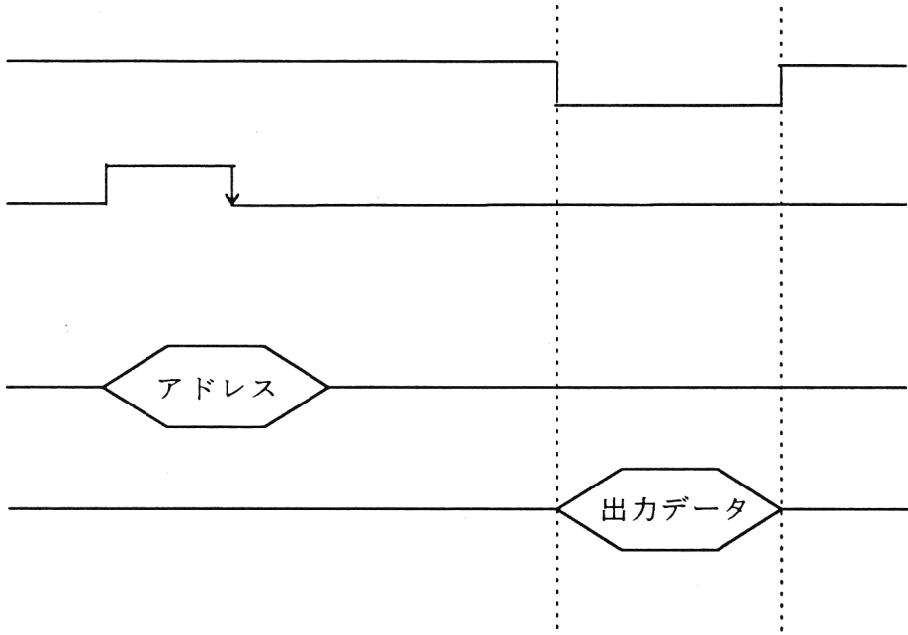
出力データ

出力データ

バス・サイクル

端子名	機 能			
BCTL	I/O	種 類	極 性	インタフェース タイミング
	O			
・XRD端子、XCS端子、XSTBY端子から生成され、OD0～7の コントロール信号として使用する。 				
XRD				
XCS	“L” 			
XSTBY	“H” 			
BCTL				

端子名	機 能			
ALE	I/O	種 類	極 性	インタフェース タイミング
	I		↓	
・マルチプレクス・アドレス・バスからアドレス情報を取り込むためのストロープ信号。 				
ALE ID 0~7 (MAD 0~0) アドレス アドレス				

端子名	機 能			
XRD	I/O	種 類	極 性	インタフェース タイミング
	I		負	
・データ読み出し信号。 				
XRD				
ALE				
ID0~7				
OD0~7				

端子名	機 能			
	I / O	種 類	極 性	インタフェース タイミング
XWR	I		負	
	・データ書き込み信号。 			
The diagram shows the timing relationship between the XWR, ALE, and ID 0~7 signals. XWR is a high-to-low pulse. ALE is a high-to-low pulse. ID 0~7 is a bus signal with address and data phases. A vertical dashed line marks the start of the data phase.				

端子名	機 能				
XCS	I/O	種 類	極 性	インタフェース タイミング	
	I		負		
・チップ・セレクト信号。 ・ “L” でアクセス可能。 ・ XRD及びXWR信号が入力中は “L” 固定。					

端子名	機 能			
X I R Q	I / O	種 類	極 性	インタフェース タイミング
	O		負	
・プロセッサに対して割り込みを要求する信号。 (イネーブル・レジスタの割り込みイネーブル・ビット (b 6 ~ 4) が セットされ、フラグ・レジスタの割り込みフラグ・ビットがセットされ ると“L”に保持される。) ・解除は、リセット端子又は、プロセッサがフラグ・レジスタをリードし た後に行われる。				

端子名	機 能			
XRST	I/O	種 類	極 性	インタフェース タイミング
	I		負	
・リセット入力信号。但し、カレンダー機能及び内部レジスタに対して影響しない。 ・電源ON時に電源の供給が安定するまで特定の時間“L”に保持しなければならない。 				
リセット動作 a) 定周期割り込みイネーブル (FIE) ビットが“0”にクリア。 b) アラーム割り込みイネーブル (AIE) ビットが“0”にクリア。 c) 更新終了割り込みイネーブル (RIE) ビットが“0”にクリア。 d) 割り込み要求ステータス・フラグ (IRF) ビットが“0”にクリア。 e) 定周期割り込みフラグ (FIF) ビットが“0”にクリア。 f) アラーム割り込みフラグ (AIF) ビットが“0”にクリア。 g) 更新終了割り込みフラグ (RIF) ビットが“0”にクリア。 h) XIRQ端子は“H”出力となる。 i) 方形波出力イネーブル (SQE) ビットが“0”にクリア。				

端子名	機 能			
XSTBY	I/O	種 類	極 性	インタフェース タイミング
	I		負	

・内部動作（カレンダー機能）は継続させ、内部データ（50バイト・汎用レジスタ）は保持したまま、書き込み・読み出し動作を禁止。
 ・バックアップに適した状態になるには、XSTBY端子をXRDの立ち下がり又はXWRの立ち上がりで認識し、その結果をALEの立ち下がり又はXWRの立ち上がりで内部に有効データとする事でスタンバイの状態になります。

XSTBY
 XRD ^{*1}
 ALE
 (XSTBY)
 →スタンバイ状態
 * 1 XWR時は、立ち上がりで認識。

(XSTBY)
 XRD/XWR
 (XRD/XWR)
 * 書き込み・読み出し動作禁止。

端子名	機 能			
PWS	I / O	種 類	極 性	インタフェース タイミング
	I			

・ステータス・レジスタのRTBビットを制御し、電源電圧の変動からRTC内部のレジスタを保護する為の信号。

・この機能を使用する場合は、一定の時間PWS端子を”L”に保持する必要があります。

・PWS端子が”L”の時、RTBビットは”0”にクリアされます。

又、”H”にしてステータス・レジスタを読み出すことによりRTBビットは”1”にセットされます。

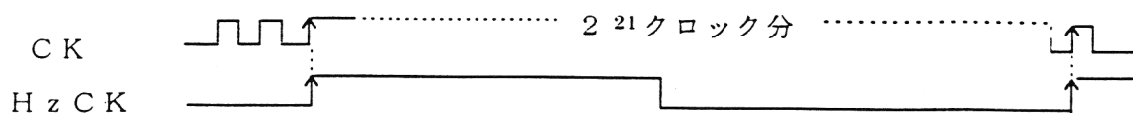
PWS

RTBビット

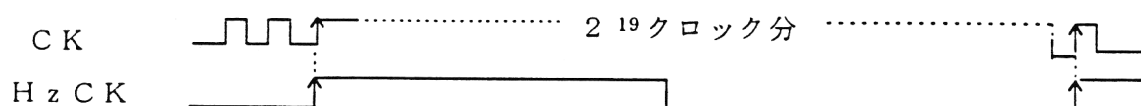
ステータス・レジスタ読み出し

端子名	機 能			
HZCK	I/O	種 類	極 性	インタフェース タイミング
	O			CK↑
・基本周波数より生成された1Hzのクロック信号。 				

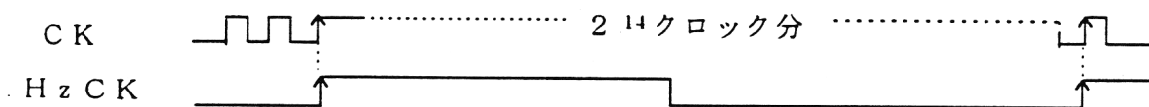
(1) CK = 4. 194304MHz



(2) CK = 1. 048576MHz



(3) CK = 32. 768kHz

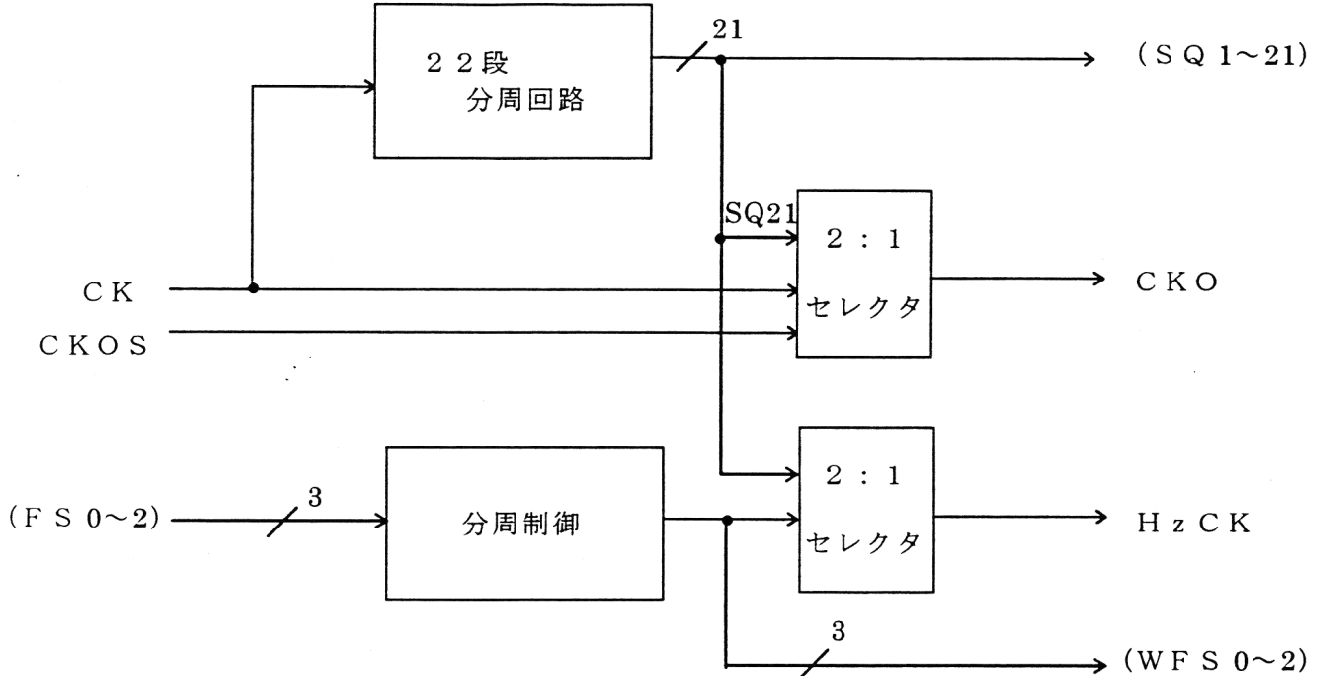


端子名	機 能																																																																				
TEST	I/O	種 類	極 性	インタフェース タイミング																																																																	
	I																																																																				
・テスト端子。 0：ノーマル・モード。 1：テスト・モード。																																																																					
ID 0～3																																																																					
TEST	→ テスト・モード																																																																				
<table border="1"> <thead> <tr> <th>ID3</th> <th>ID2</th> <th>ID1</th> <th>ID0</th> <th>動作内容</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>通 常 動 作</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>22段分周回路 カウンタ CI=1 (SQ20～17)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>0</td> <td>" (SQ16～13)</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>" (SQ12～09)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>" (SQ08～05)</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>" (SQ04～01)</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>分カウンタEN=1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>時カウンタEN=1</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>曜日カウンタEN=1</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>日カウンタEN=1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>月カウンタEN=1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>年カウンタEN=1</td> </tr> </tbody> </table>					ID3	ID2	ID1	ID0	動作内容	0	0	0	0	通 常 動 作	0	0	0	1	22段分周回路 カウンタ CI=1 (SQ20～17)	0	0	1	0	" (SQ16～13)	0	0	1	1	" (SQ12～09)	0	1	0	0	" (SQ08～05)	0	1	0	1	" (SQ04～01)	0	1	1	0	分カウンタEN=1	0	1	1	1	時カウンタEN=1	1	0	0	0	曜日カウンタEN=1	1	0	0	1	日カウンタEN=1	1	0	1	0	月カウンタEN=1	1	0	1	1	年カウンタEN=1
ID3	ID2	ID1	ID0	動作内容																																																																	
0	0	0	0	通 常 動 作																																																																	
0	0	0	1	22段分周回路 カウンタ CI=1 (SQ20～17)																																																																	
0	0	1	0	" (SQ16～13)																																																																	
0	0	1	1	" (SQ12～09)																																																																	
0	1	0	0	" (SQ08～05)																																																																	
0	1	0	1	" (SQ04～01)																																																																	
0	1	1	0	分カウンタEN=1																																																																	
0	1	1	1	時カウンタEN=1																																																																	
1	0	0	0	曜日カウンタEN=1																																																																	
1	0	0	1	日カウンタEN=1																																																																	
1	0	1	0	月カウンタEN=1																																																																	
1	0	1	1	年カウンタEN=1																																																																	

9. 内部ブロック機能説明

9 - (1) クロック分周回路部

9 - (1) - 1 ブロック構成図



9 - (1) - 2 動作機能説明

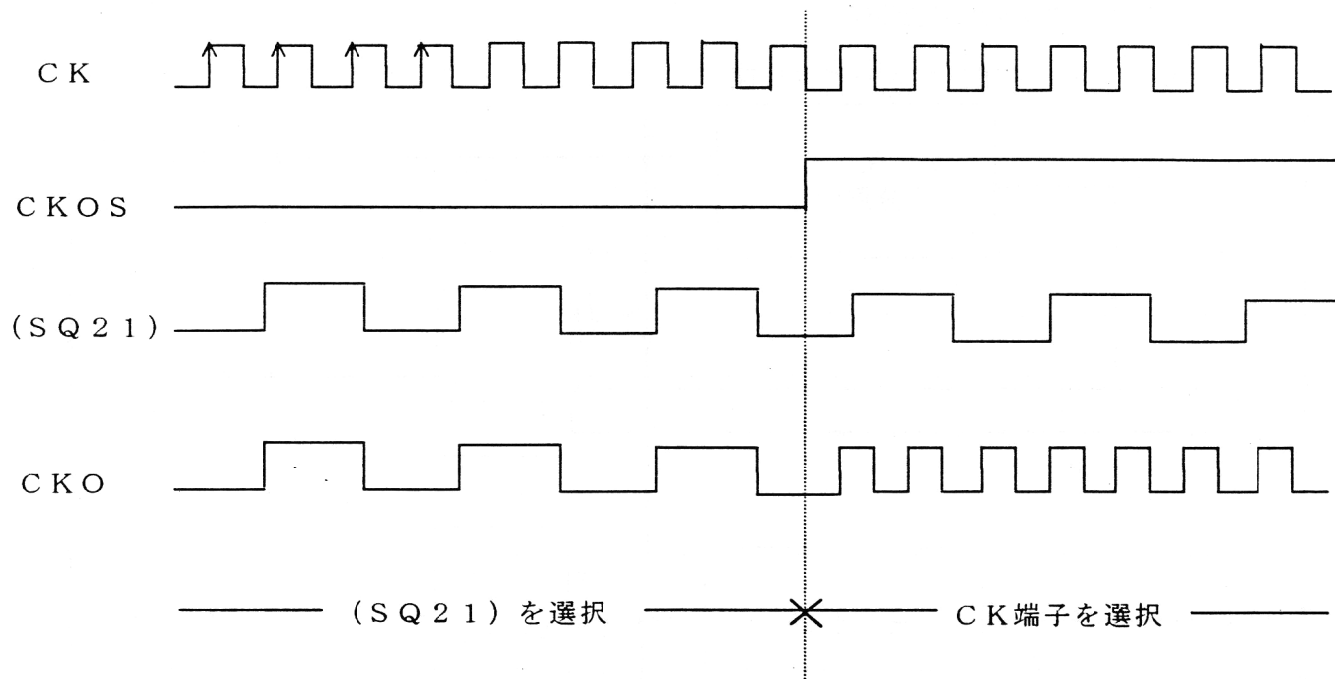
CKO端子は、選択する信号であるCKOS端子が“L”の時基本周波数の4分周（SQ 21）を“H”の時基本周波数を出力する。

Hz CK端子は、1Hzのクロック信号であり、基本周波数により分周段数が異なるため、22段の分周回路からセレクト・レジスタの3ビット（FS 0～2）によって選択する。（WFS 0～2端子はFS 0～2によって制御される。）(表1 参照)

基本周波数	セクタ・レジスタ			Hz CK	内部信号		
	FS2	FS1	FS0		WFS2	WFS1	WFS0
4. 194304MHz	0	0	0	SQ 1	0	0	1
1. 048576MHz	0	0	1	SQ 3	0	1	0
32. 768KHz	0	1	0	SQ 8	1	0	0

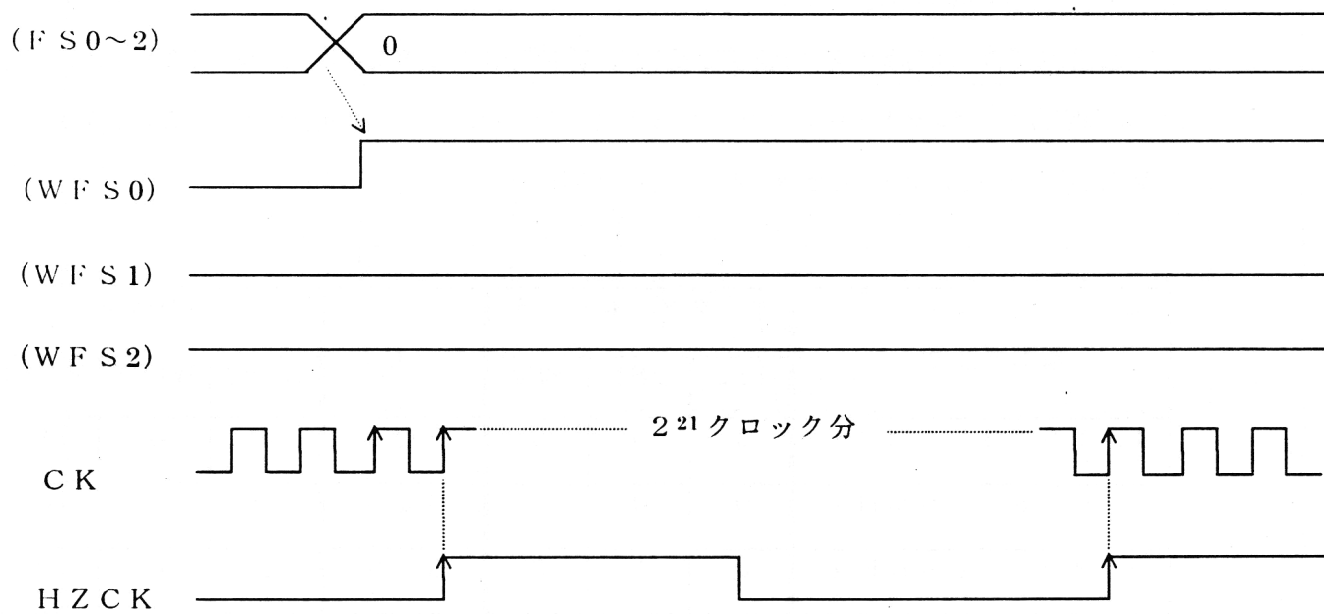
9 - (1) - 3 タイムチャート

① CKO端子

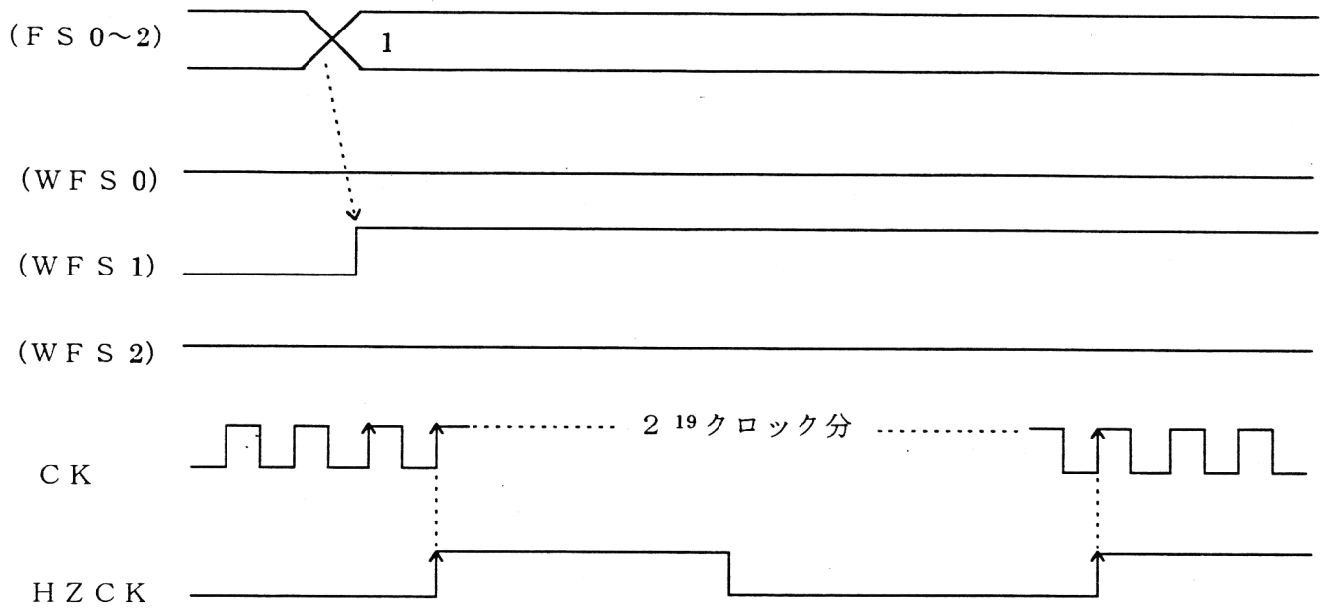


② HZCK端子

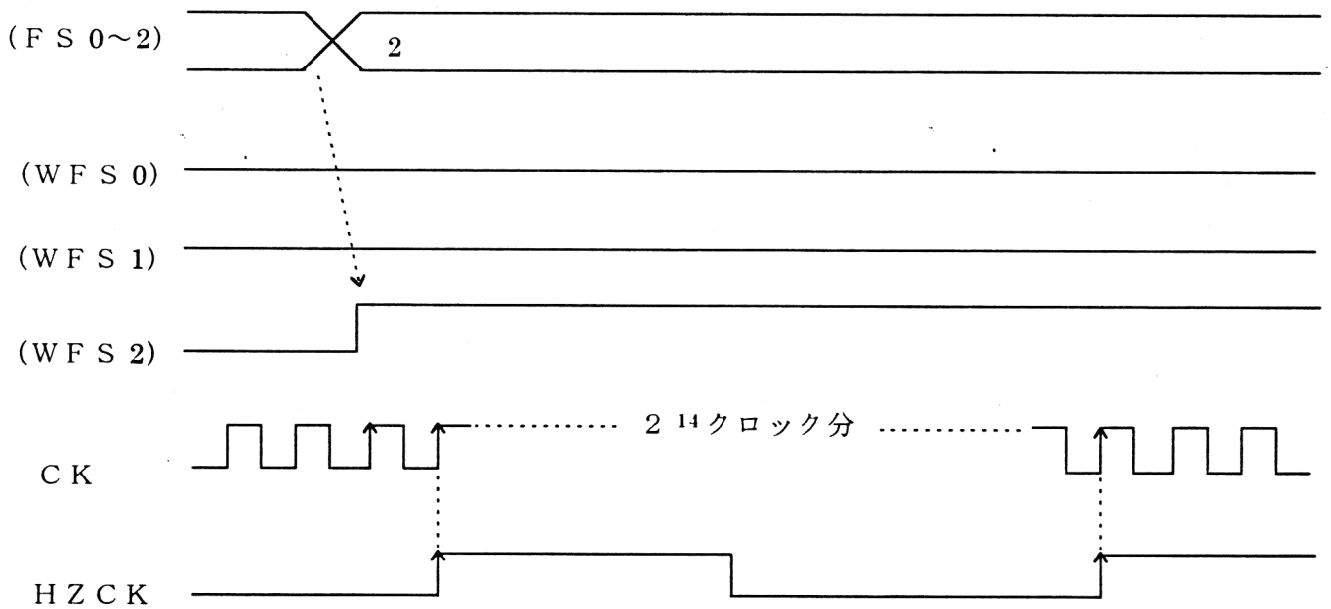
(1) 4.194304 MHz



(2) 1.048576 MHz

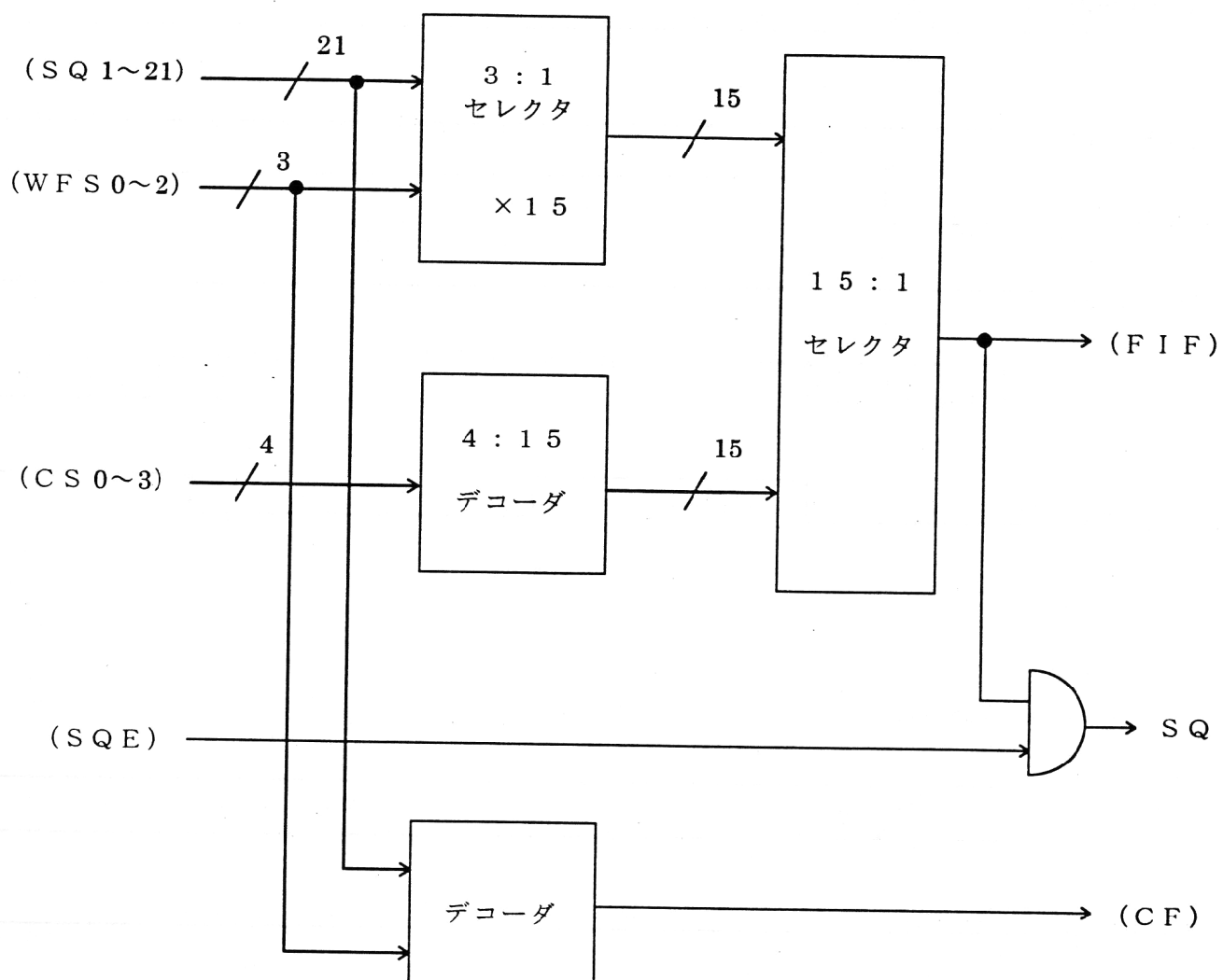


(3) 32.768 KHz



9 - (2) 周期セレクト部

9 - (2) - 1 ブロック構成図



9－（２）－２ 動作機能説明

クロック分周回路部より出力された信号（S Q 1～2 1）を取り込み、基本周波数の選択信号（W F S 0～2）とS Q端子出力周波数の選択信号（C S 0～3）により定周期割り込みフラグ（F I F）を設定する。同時にS Q端子には選択された周波数が出力される。（表 2 参照） ただし、S Q端子はイネーブル・レジスタのS Q Eビットにより制御されるため、S Q Eビットが“L”の時S Q端子は“LOW “に固定となり、“H “の時選択された周波数が有効となる。

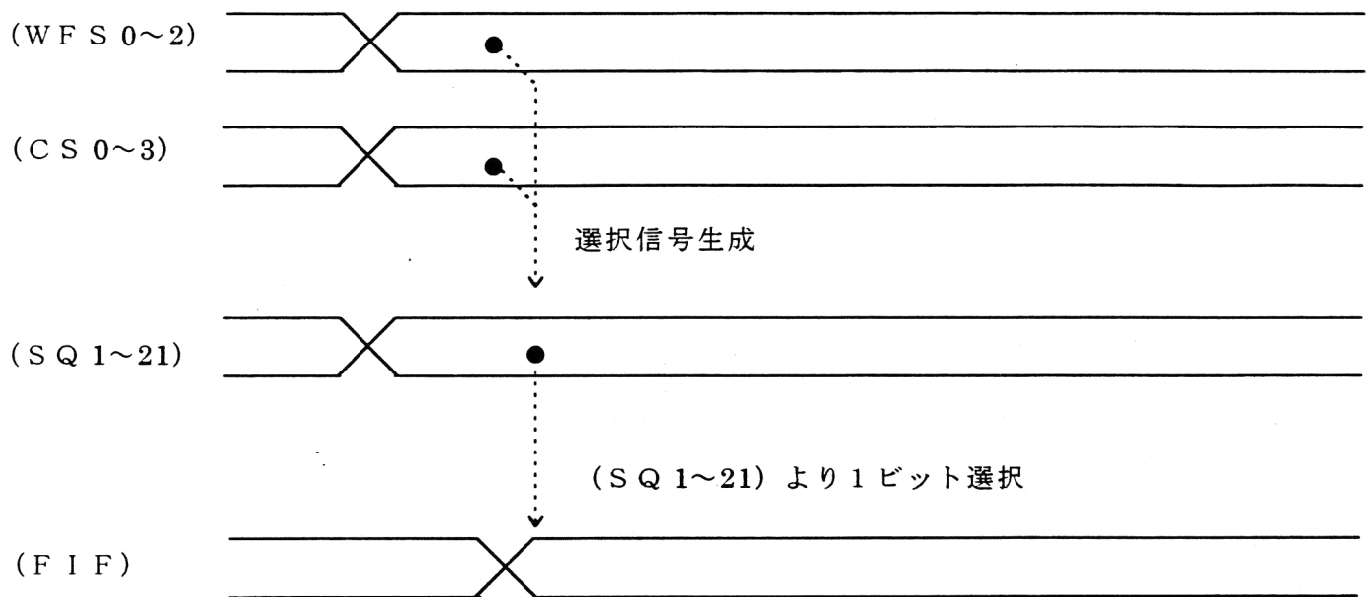
又、更新サイクル中であることを示すステータス・フラグ（C F）を生成する。

選択ビット				4.194304／1.048576 MHz		32.768 kHz	
CS3	CS2	CS1	CS0	割り込み周期	S Q端子出力	割り込み周期	S Q端子出力
0	0	0	0	動作なし	動作なし	動作なし	動作なし
0	0	0	1	30.157 μ s	32.768 kHz	3.90625 ms	256 Hz
0	0	1	0	61.035 μ s	16.384 kHz	7.8125 ms	128 Hz
0	0	1	1	122.070 μ s	8.192 kHz	122.070 μ s	8.192 kHz
0	1	0	0	244.141 μ s	4.096 kHz	244.141 μ s	4.096 kHz
0	1	0	1	488.281 μ s	2.048 kHz	488.281 μ s	2.048 kHz
0	1	1	0	976.562 μ s	1.024 kHz	976.562 μ s	1.024 kHz
0	1	1	1	1.953125 μ s	512 Hz	1.953125 ms	512 Hz
1	0	0	0	3.90625 μ s	256 Hz	3.90625 ms	256 Hz
1	0	0	1	7.8125 μ s	128 Hz	7.8125 ms	128 Hz
1	0	1	0	15.625 μ s	64 Hz	15.625 ms	64 Hz
1	0	1	1	31.25 μ s	32 Hz	31.25 ms	32 Hz
1	1	0	0	62.5 μ s	16 Hz	62.5 ms	16 Hz
1	1	0	1	125 μ s	8 Hz	125 ms	8 Hz
1	1	1	0	250 μ s	4 Hz	250 ms	4 Hz
1	1	1	1	500 μ s	2 Hz	500 ms	2 Hz

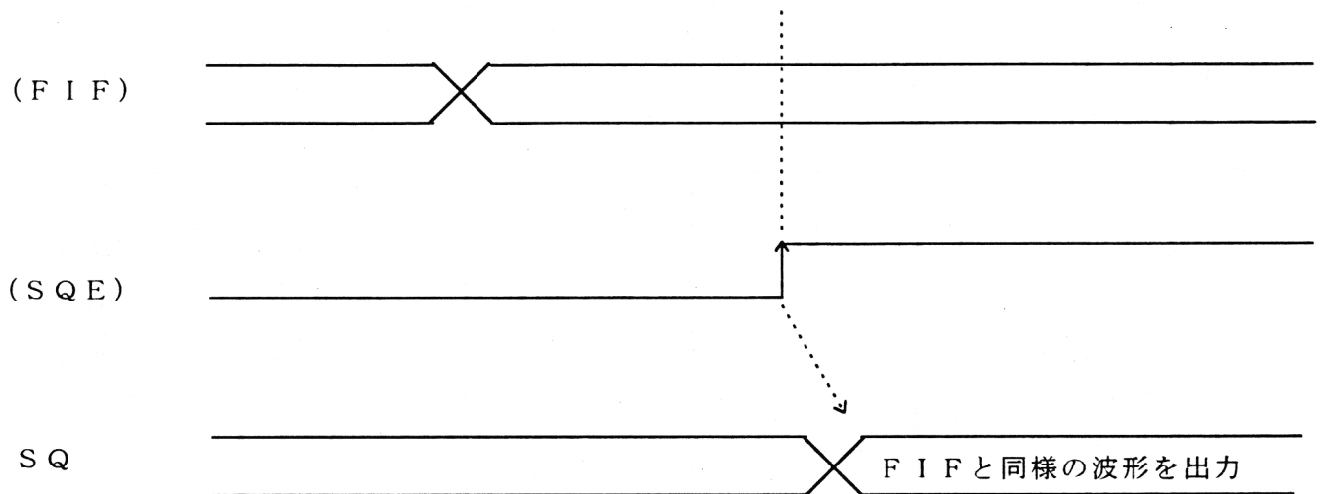
表 2

9-(2)-3 タイムチャート

① FIFビット (フラグ・レジスタ b6)



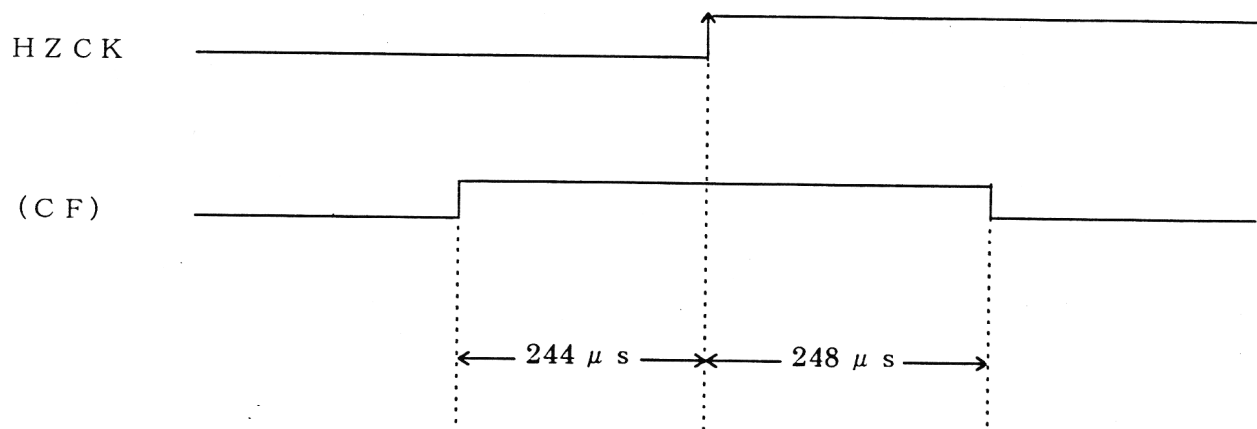
② SQ端子



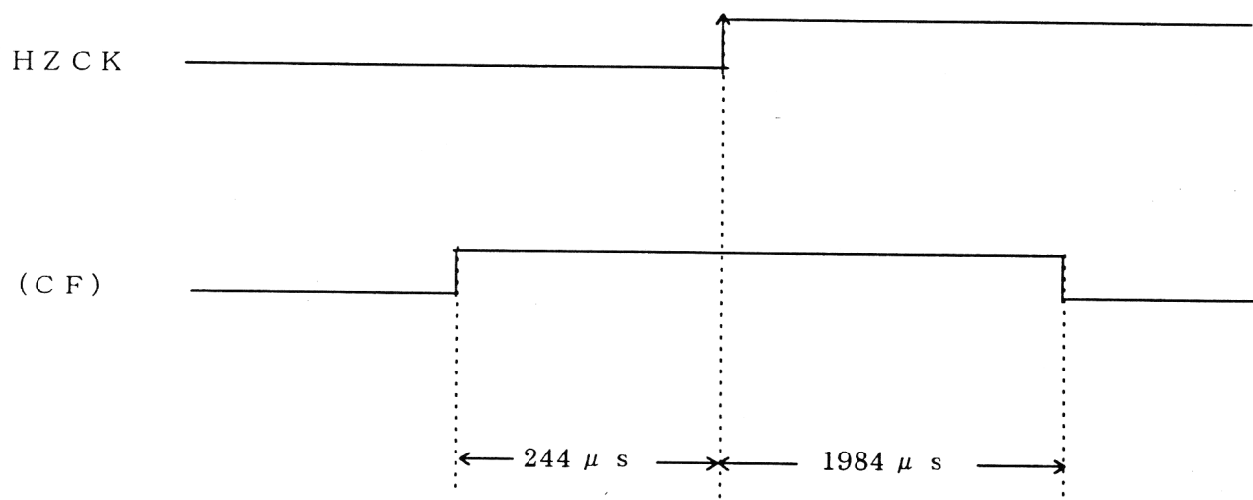
※ 選択ビットにおける出力信号については、9-(2)-2 表2 参照。

③ CFビット (セレクト・レジスタ b7)

(1) 4.194304 MHz / 1.048576 MHz



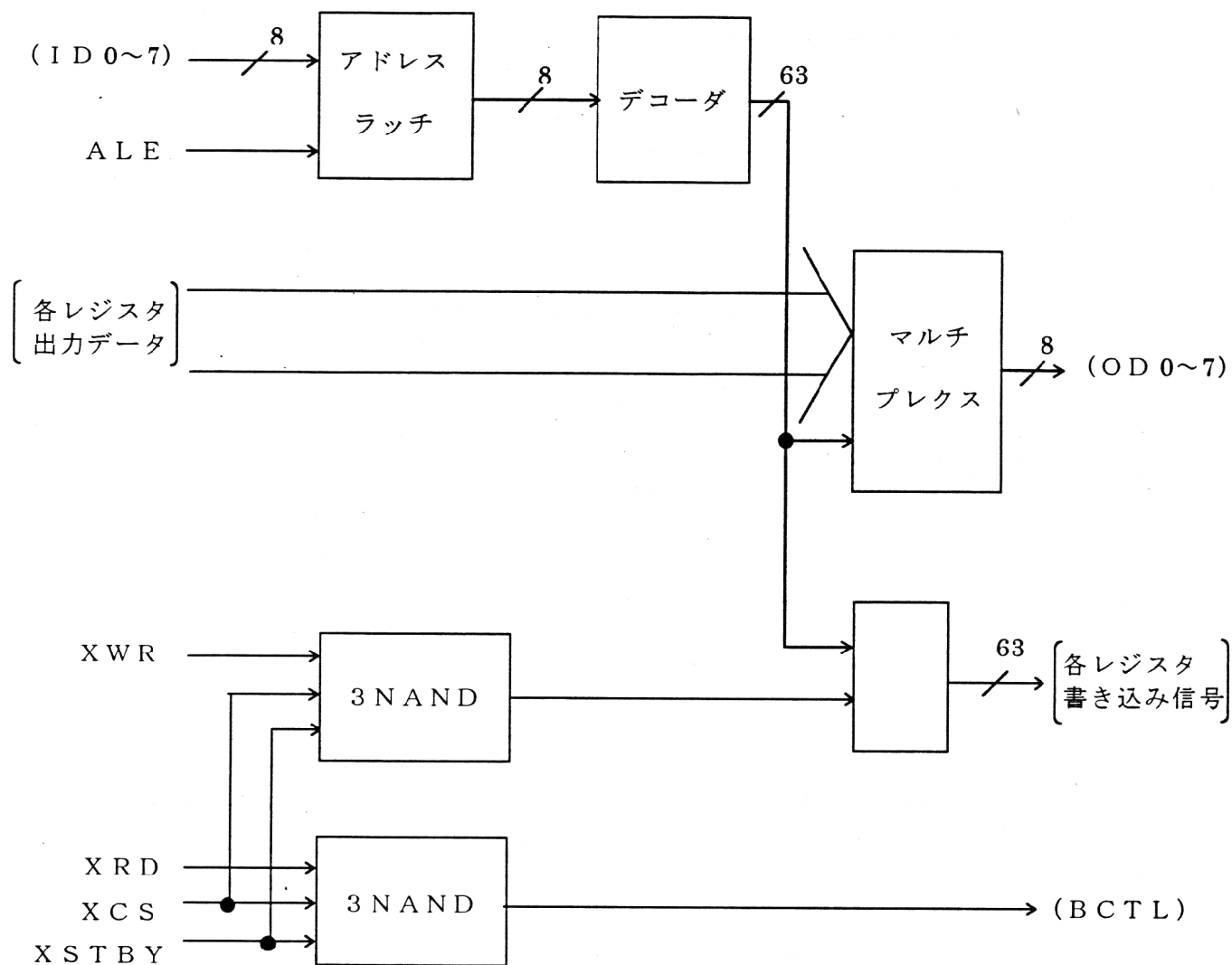
(2) 32.768 KHz



※ (CF) ビットは、22分周回路部より出力された(SQ 1~21)ビットにより生成される。

9- (3) バス・インタフェース部

9- (3) -1 ブロック構成図



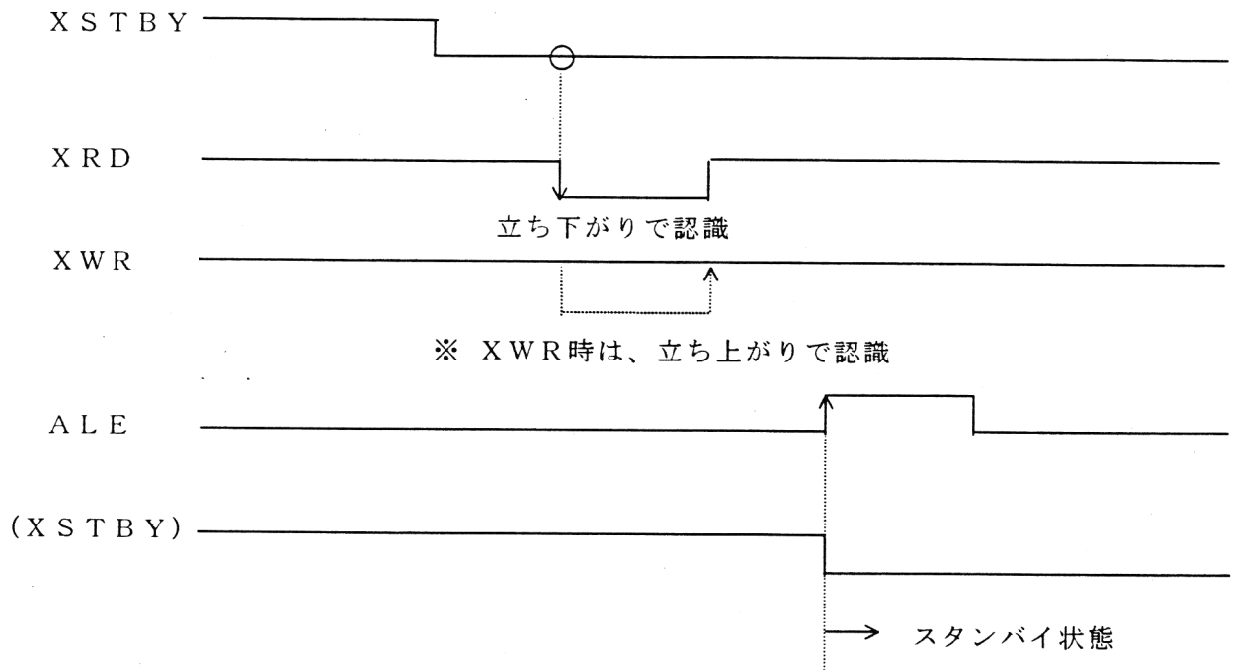
9- (3) -2 動作機能説明

アドレス情報は、 ALE 端子の立ち下がりを取り込み、各レジスタのイネーブル信号を生成する。生成された各レジスタのイネーブル信号を使用し、読み出しデータの制御、又は書き込み信号を生成する。

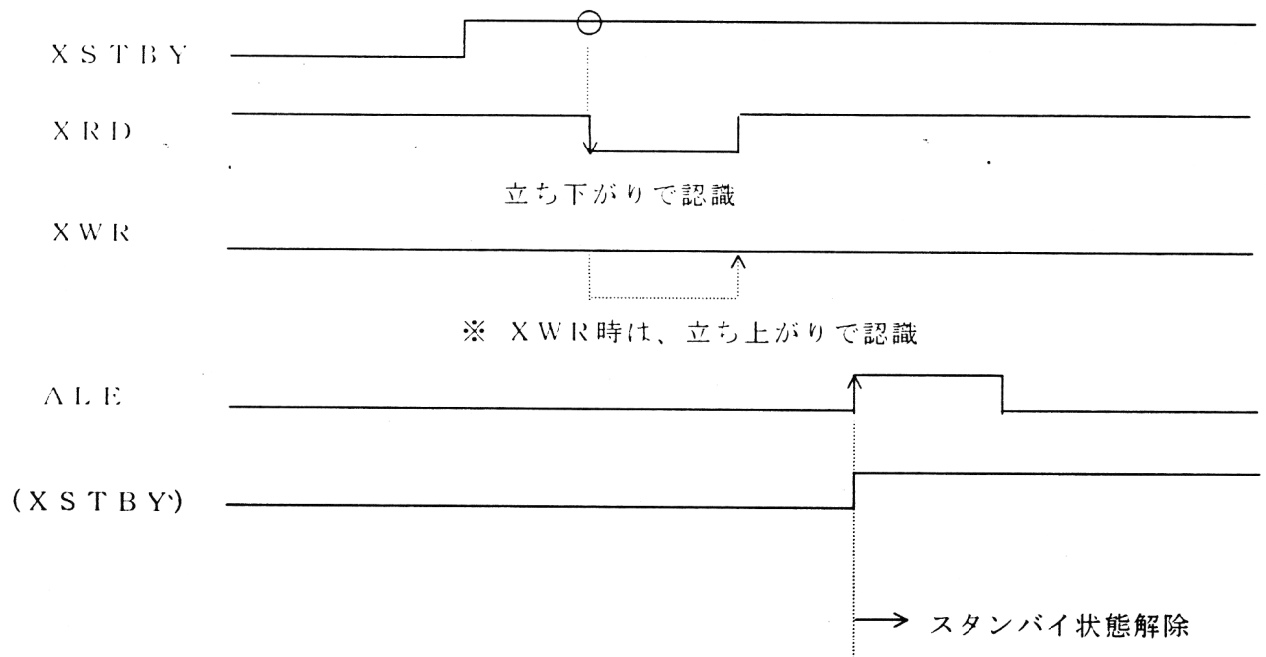
9-(3)-3 タイムチャート

① スタンバイ信号

(1) スタンバイ状態

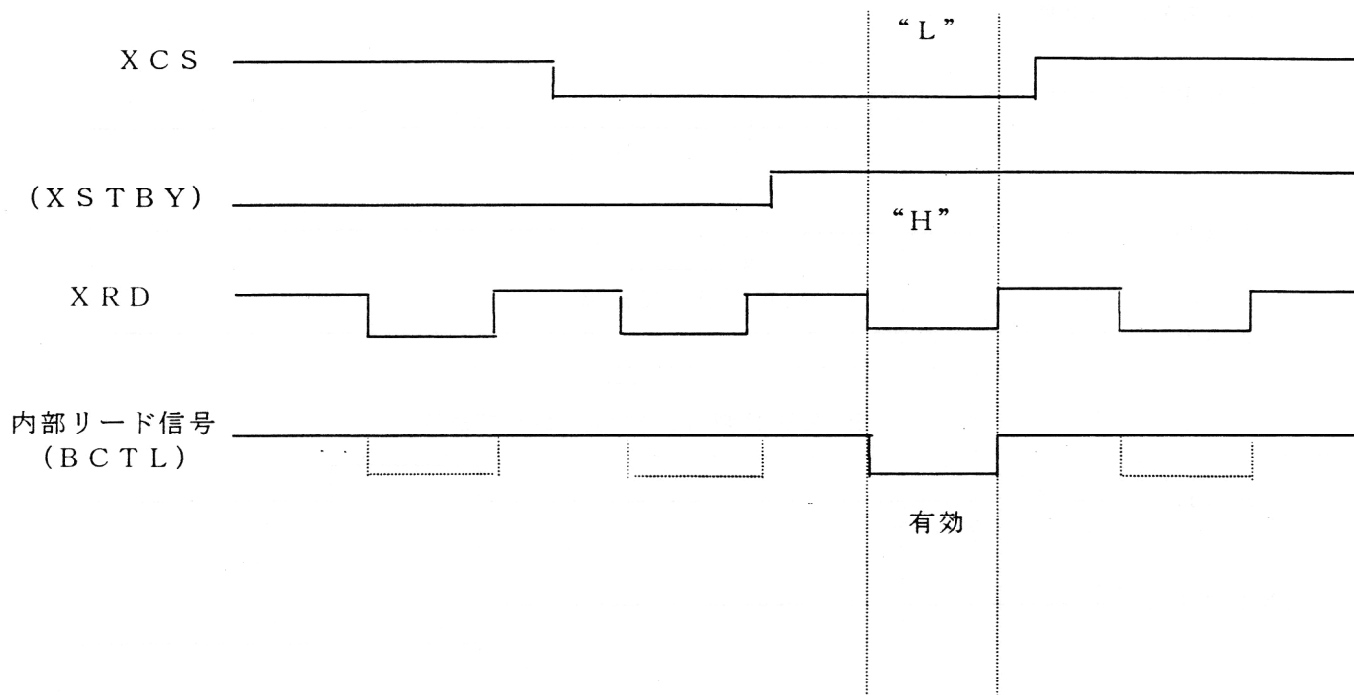


(2) スタンバイ状態解除

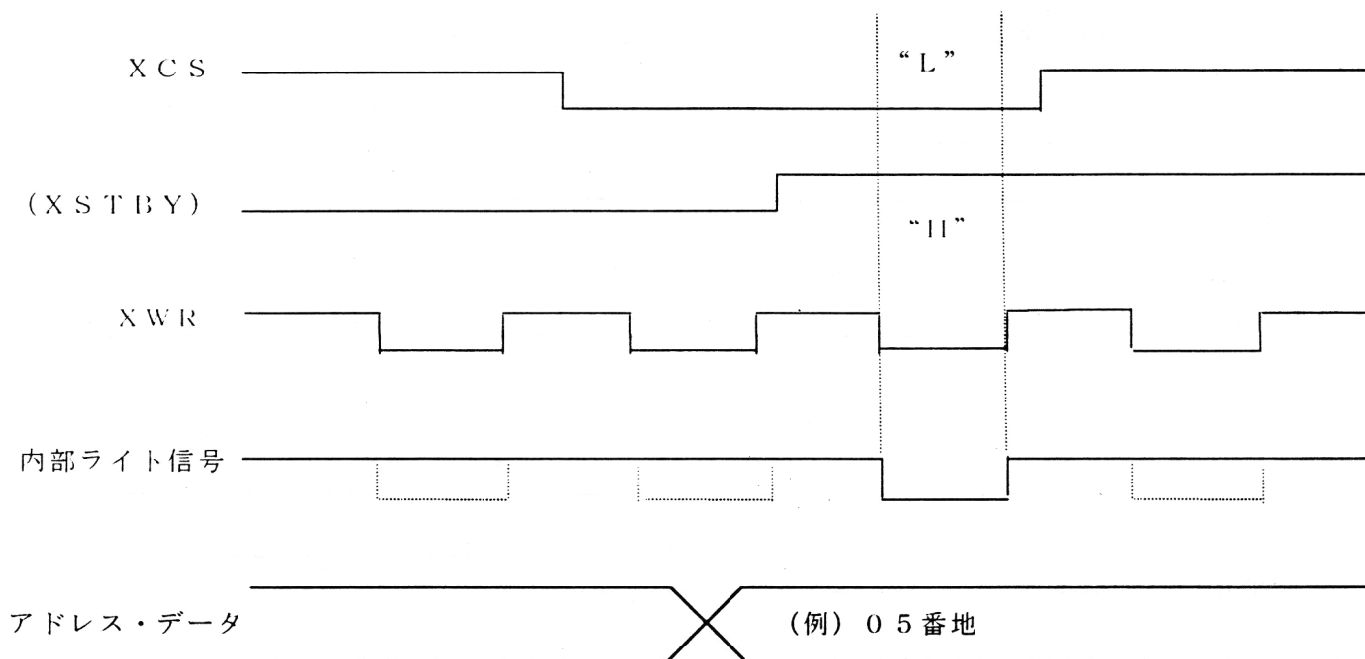


② 読み出し・書き込み信号

(1) 読み出し信号

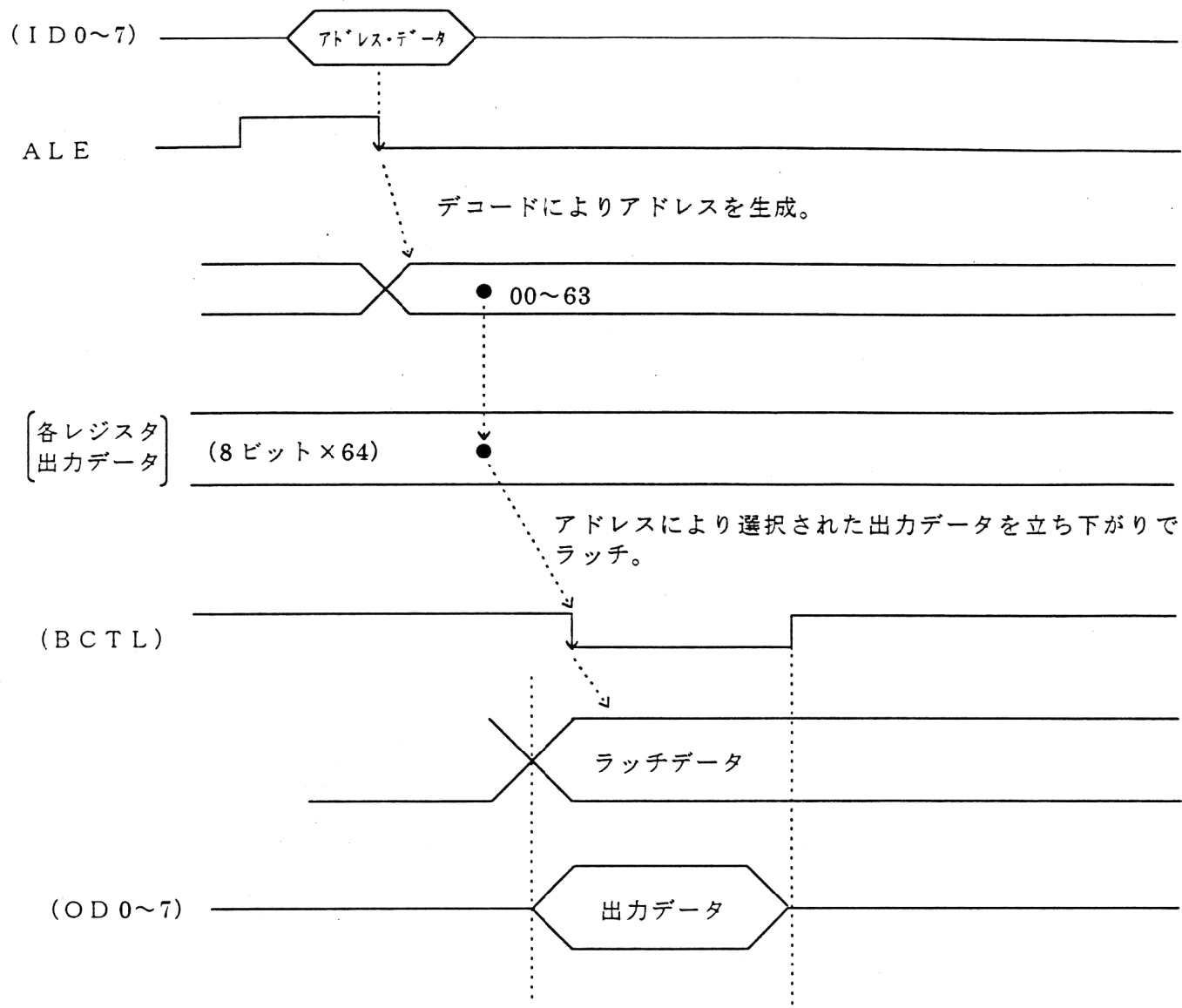


(2) 書き込み信号



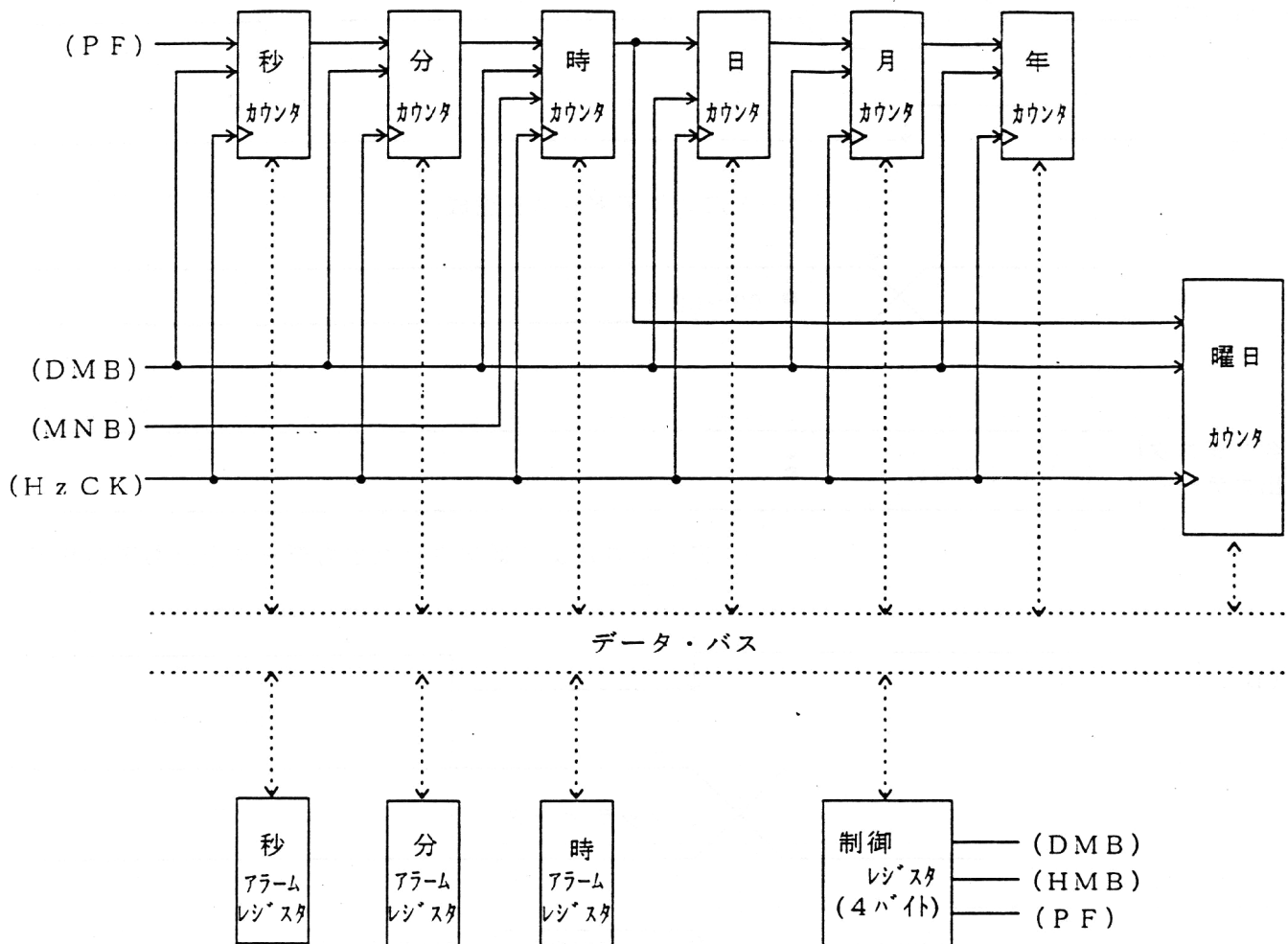
(例) 00～63番地の05番地のレジスタに書き込み動作を行う。

③ OD 0~7 (出力信号)



9-(4) カレンダー機能・レジスタ部

9-(4)-1 ブロック構成図



9-(4)-2 動作機能説明

制御レジスタ (セレクト・レジスタ、イネーブル・レジスタ、フラグ・レジスタ、ステータス・レジスタ) の4バイトとアラーム・レジスタ、カレンダー・レジスタの10バイトの計14バイトから構成され、クロック分周回路部で生成されたHz CKによりカレンダーの更新を行う。カレンダー動作としては2進/2進化10進モードが選択でき、時間カレンダーに関しては12時間/24時間表示が可能である。

又、サマータイム機能を使用すると、4日最後の日曜日は午前1時59分59秒から午前3時0分0秒に、10月最後の日曜日は午前1時59分59秒から午前1時0分0秒にそれぞれ更新される。

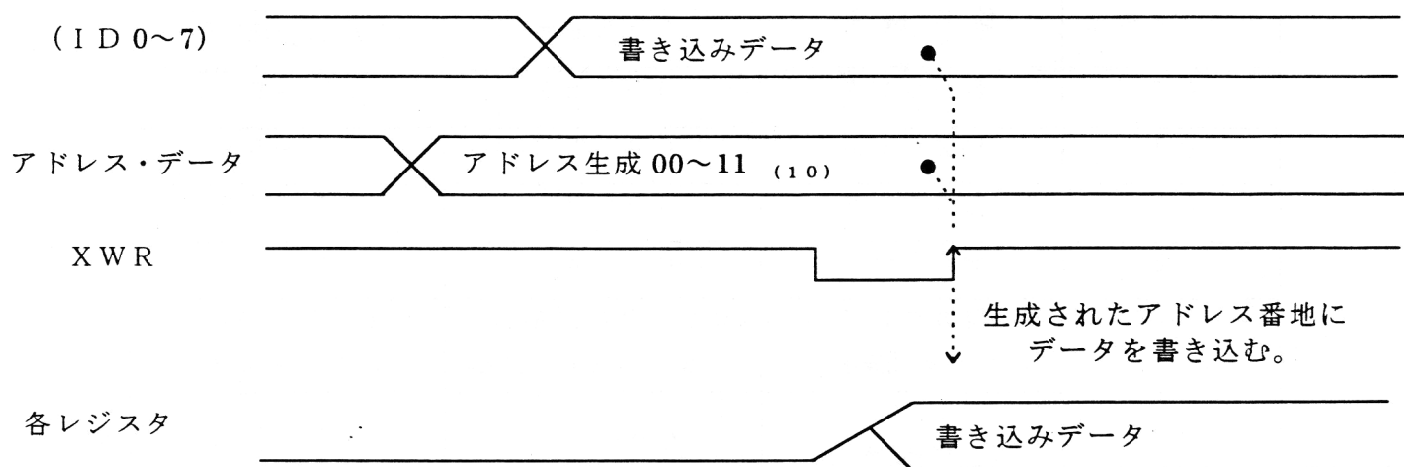
時間・カレンダーの表示機能を以下に示す。(表3参照)

アドレス番地	動作機能	表示範囲	
		2進数表示	2進化10進数表示
00	秒カウンタ	00～3B	00～59
01	秒アラーム	00～3B	00～59
02	分カウンタ	00～3B	00～59
03	分アラーム	00～3B	00～59
04	時カウンタ (12時間表示)	00～0C (AM) 81～8C (PM)	01～12 (AM) 81～92 (PM)
	時カウンタ (24時間表示)	00～17	00～23
05	時アラーム (12時間表示)	00～0C (AM) 81～8C (PM)	01～12 (AM) 81～92 (PM)
	時アラーム (24時間表示)	00～17	00～23
06	曜日カウンタ	01～07	01～07
07	日カウンタ	01～1.F	01～31
08	月カウンタ	01～0C	01～12
09	年カウンタ	00～63	00～99

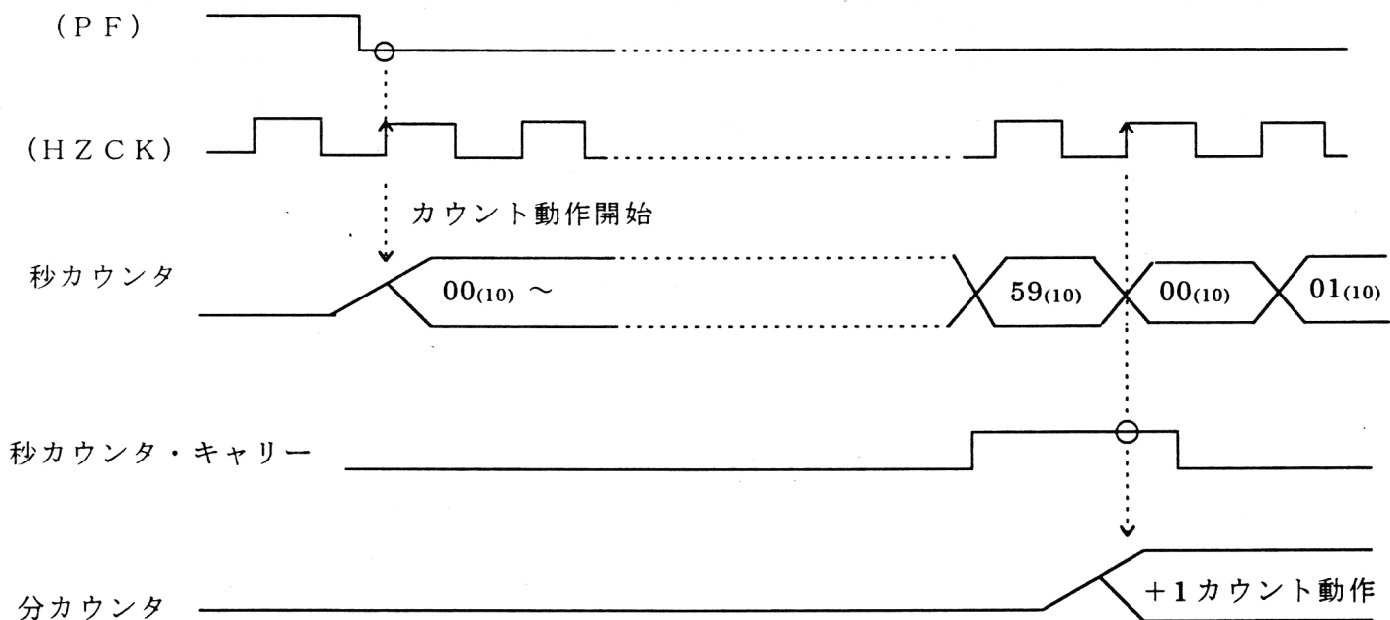
表 3

9-(4)-3 タイムチャート

① 各レジスタへの書き込み



② カウント機能



※ 各レジスタのカウンタ値については、9-(4)-2 表3 参照。

9 - (4) - 4 制御レジスタ説明

① セレクト・レジスタ

b 7	b6	b5	b4	b3	b2	b1	b0
CF	FS2	FS1	FS0	CS3	CS2	CS1	CS0
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

*CF このビットは、1秒に1回カレンダーが更新サイクル中か、そうでないかを表すステータス・フラグです。

“0”の時、更新は行われていません。（244μs以内に開始することはありません。）“1”の時、更新が行われているか又は、まもなく開始することを表します。リード専用ビットであり、XRST端子による影響はありません。しかし、イネーブル・レジスタのPEビットが、“1”にセットされると、このビットはクリアされます。

*FS2 この3ビットは、使用可能な3種類の周波数からCK端子に入力する基本周波数を選択するビットです。（表4参照）

FS0 又、この3ビットはリード/ライトビットであり、XRST端子による影響はありません。

FS2	FS1	FS0	基本周波数
0	0	0	4.194304 MHz
0	0	1	1.048576 MHz
0	1	0	32.768 KHz

表 4

FS2	FS1	FS0	———
0	1	1	動作保証なし
1	0	0	〃
1	0	1	〃
1	1	0	分周器リセット
1	1	1	〃

*CS3 この4ビットは、CK端子から入力される基本周波数を22段の分周回路に取り込んで、その分周回路の出力の中から1つの周波数を選択するビットです。又、CS0 分周回路からの出力を禁止するビットでもあります。

選択された周波数は、SQ端子に出力・定周期割り込みの発生タイミングに使用されます。この4ビットはリード/ライトビットであり、XRST端子による影響はありません。

② イネーブル・レジスタ

b 7	b6	b5	b4	b3	b2	b1	b0
PE	FIE	AIE	RIE	SQE	DMB	HMB	STE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- *PE このビットは、時間・カレンダーのデータを初期化する時に、秒カウンタの更新を停止させるビットです。
 “0”の時、1秒に1回更新動作します。
 “1”の時、更新を停止し初期化が可能になります。
 リード/ライトビットであり、XRST端子による影響はありません。
- *FIE このビットは、XIRQ端子に対してフラグ・レジスタのFIFビットを有効とするかどうかを許可するイネーブルビットです。
 “0”の時、FIFビットを有効としない。
 “1”の時、FIFビットを有効とする。
 リード/ライトビットであり、XRST端子によりクリアされます。
- *AIE このビットは、XIRQ端子に対してフラグ・レジスタのAIFビットを有効とするかどうかを許可するイネーブルビットです。
 “0”の時、AIFビットを有効としない。
 “1”の時、AIFビットを有効とする。
 リード/ライトビットであり、XRST端子によりクリアされます。
- *RIE このビットは、XIRQ端子に対してフラグ・レジスタのRIFビットを有効とするかどうかを許可するイネーブルビットです。
 “0”の時、RIFビットを有効としない。
 “1”の時、RIFビットを有効とする。
 リード/ライトビットであり、XRST端子又は、同レジスタのSETビットが“1”にセットされるとクリアされます。
- *SQE このビットは、セレクト・レジスタのCS 3～0ビットにより選択された周波数を、SQ端子に対して有効とするかどうかを許可するイネーブルビットです。
 “0”の時、SQ端子は“L”に固定になります。
 “1”の時、CS 3～0ビットにより選択された周波数を、SQ端子に出力します。リード/ライトビットであり、XRST端子によりクリアされます。
- *DMB このビットは、時間・カレンダーのデータフォーマットを指定するビットです。
 “0”の時、2進10進データ。(BCD)
 “1”の時、2進データ。(HEX)
 リード/ライトビットであり、XRST端子によりクリアされます。
- *HMB このビットは、時間バイトのデータフォーマットを指定するビットです。
 “0”の時、12時間モード。
 “1”の時、24時間モード。
 リード/ライトビットであり、XRST端子による影響はありません。
- *STE このビットが“1”の時のみ、
 4月最後の日曜日 午前1時59分59秒 → 午前3時0分0秒
 10月最後の日曜日 午前1時59分59秒 → 午前1時0分0秒
 に更新されます。

③ フラグ・レジスタ

b 7	b6	b5	b4	b3	b2	b1	b0
IRF	FIF	AIF	RIF	0	0	0	0
R	R	R	R	—	—	—	—

*IRF このビットは、何らかの割り込み要求が発生した場合“1”にセットされ、XIRQ端子に“L”を出力します。
リード専用ビットであり、XRST端子又は、フラグ・レジスタが読み出されたことによりクリアされます。

*FIF このビットは、セレクト・レジスタのCS3～0ビットにより選択された割り込み周期信号（FIF）：28ページ参照の立ち上がり毎に“1”にセットされます。ここで、タイミングイネーブル・レジスタのFIEビット=1かつ本FIFビット=1のとき、IRFビットが“1”にセットされます。
リード専用ビットであり、XRST端子又は、フラグ・レジスタが読み出されたことによりクリアされます。

*AIF このビットは、設定されているアラームの時間と現在の時間が一致することにより“1”にセットされます。ここで、イネーブル・レジスタのAIEビット=1かつ本AIFビット=1の時、IRFビットが“1”にセットされます。
リード専用ビットであり、XRST端子又は、フラグ・レジスタが読み出されたことによりクリアされます。

*RIF このビットは、1秒間に1回の更新が終了するたびに、“1”がセットされるビットです。ここで、イネーブル・レジスタのRIEビット=1かつ本RIFビット=1の時、IRFビットが“1”にセットされます。
リード専用ビットであり、XRST端子又は、フラグ・レジスタが読み出されたことによりクリアされます。

*b3 ～ b0 のビットは常に“L”固定。

③ ステータス・レジスタ

b 7	b6	b5	b4	b3	b2	b1	b0
RTB	0	0	0	0	0	0	0
R	—	—	—	—	—	—	—

- * RTB …… このビットは、PWS端子により設定されるビットです。
PWS端子が“L”の時、RTBビットは“0”にリセットされます。しかし、
時間・カレンダーの初期化時は、RAM及び時間が有効になるためRTBビット
はセットされます。又、PS端子が“H”の時ステータス・レジスタを読み出
すとRTBビットは“1”にセットされます。
リード専用ビットであり、XRST端子による影響はありません。

- * b 6 ～ b 0 のビットは常に“L”固定。

9 - (4) - 5 割り込み動作説明

① 定周期割り込み

クロック分周回路部で設定された周波数 (F I F) ビットのタイミングで、定周期割り込みフラグを設定。

② アラーム割り込み

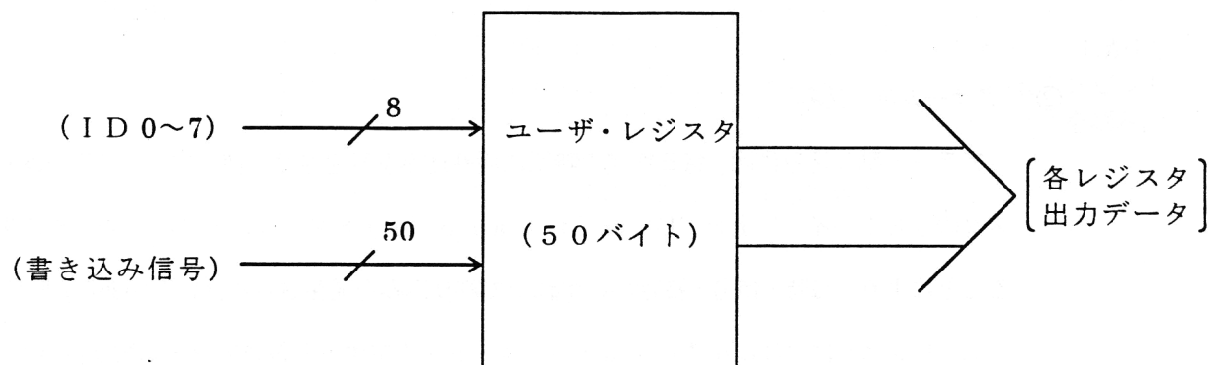
アラーム割り込みには、毎日特定の時間に割り込みを発生させる使い方と、アラーム・レジスタのうち1バイト以上を“Don't care (11×× ××××)”コードに設定することにより、毎時・毎分・毎秒のいずれかで割り込みを発生される使い方がある。時間アラーム・レジスタに“Don't care”コードを設定すると毎時アラーム割り込みとなり、時・分アラーム・レジスタに“Don't care”コードを設定すると毎分アラーム割り込みとなる。又、時・分・秒アラーム・レジスタに“Don't care”コードを設定すると毎秒アラーム割り込みとなる。

③ 更新終了割り込み

更新サイクル中であることを示すCFビットが“L”になった時を更新終了時とし、割り込みを発生させる。

9－（5） ユーザ・レジスタ部

9－（5）－1 ブロック構成図

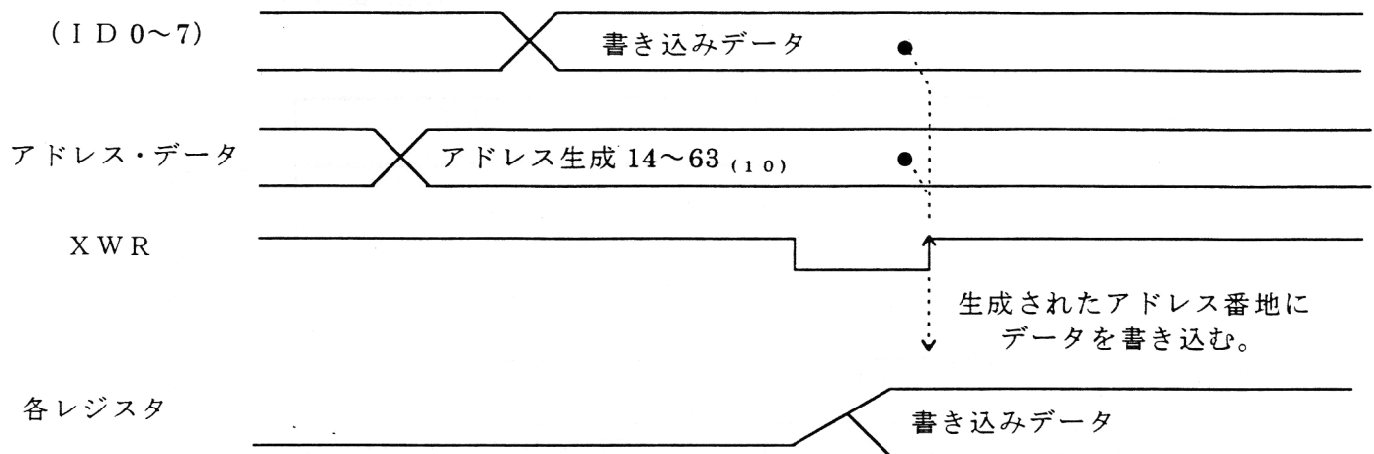


8－（5）－2 動作機能説明

50 バイトのレジスタから構成される。

9- (5) -3 タイムチャート

① ユーザ・レジスタ (50バイト) への書き込み



10. 内部レジスタ・アドレスマップ

本LSIに含まれる、10バイト（カレンダー機能）・4バイト（制御機能）・50バイト（ユーザ・レジスタ）計64バイトのアドレス番地を表5に示す。

アドレス番地	レジスタの内容	
00	カ レ ン ダ 機 能	秒カウント・レジスタ
01		秒アラーム・レジスタ
02		分カウント・レジスタ
03		分アラーム・レジスタ
04		時間カウント・レジスタ
05		時間アラーム・レジスタ
06		曜日カウント・レジスタ
07		日カウント・レジスタ
08		月カウント・レジスタ
09		年カウント・レジスタ
0A	制 御 機 能	セレクト・レジスタ
0B		イネーブル・レジスタ
0C		フラグ・レジスタ
0D		ステータス・レジスタ
0E 1 3F	ユーザ・レジスタ	

表 5

* 制御レジスタの説明については、9－（4）－4を参照。