SPARClite

MB86831 機能仕様書

Rev. 0. 1(暫定)	1995 年 11 月 7 日
Rev. 1. 0(暫定)	1996 年 1 月 17 日
Rev. 1. 1(暫定)	1996 年 3 月 8 日
Rev. 2. 0	1996 年 4 月 27 日
Rev. 3. 0	1996 年 10 月 1 日

本仕様書は、改善のため内容が変更される可能性があります。

■本CPUは、MB86936をベースに設計されております。基本的な機能はMB86936ユーザーズマニュアルを参照してください。

■IU(整数ユニット)の基本的な動作についてはSPARClite MB86930ユーザーズマニュアル(日本語版 PM52-00001-2)を参照してください。

■本CPUの命令セットは、MB86930/MB86931/MB86932/MB86933/MB86933H命令セットマニュアル(日本語版 PM52-00002-2)を参照してください。

1. 特長

CPU コアの特長

○IU(整数ユニット)

・66MHz／80MHz／*100MHz 動作　　(*:開発中)

・SPARC アーキテクチャ V8E 準拠

・8 レジスタウインドウ/136 本の 32 ビット汎用レジスタ内蔵

○命令キャッシュ

・4KB/2 ウエイセット

・エントリロック機能サポート

○データキャッシュ

・2KB/2 ウエイセット

・ノンキャッシュ制御機能サポート

・エントリロック機能サポート

○BIU(バスインタフェースユニット)

・プリフェッチバッファ　1 段

・ライトバッファ　　4 段

・バーストモードサポート

・プログラマブルチップセレクト機能　　6 本

・プログラマブルウエイトステート制御　6 本

・8/16 ビットバス対応

・ROM 領域アクセス後のアイドルサイクル自動挿入機能

・バーストモード ROM 対応

○その他

・内部クロック逓倍回路内蔵

・スリープモードサポート

リソースとして内蔵される機能

・DRAM コントローラ内蔵

・IRC (割り込みコントローラ) 内蔵

電源

内部　　3.3V

外部 I/O　5V あるいは 3.3V

2. 端子配列

Pin No.	I/O	Pin Name	Pin No.	I/O	Pin Name	Pin No.	I/O	Pin Name	Pin No.	I/O	Pin Name
1	--	VDD3	45	::	VSS	89	--	VDD3	133	::	VSS
2	I/O	D<31>	46	O	DWE3#	90	O	BE3#	134	I/O	ASI<3>
3	I/O	D<30>	47	O	DWE2#	91	I/O	BE2#	135	I/O	ASI<2>
4	I/O	D<29>	48	O	DWE1#	92	O	BE1#	136	I/O	ASI<1>
5	I/O	D<28>	49	O	DWE0#	93	O	BE0#	137	I/O	ASI<0>
6	::	VSS	50	::	VSS	94	::	VSS	138	::	VSS
7	I	BMODE16#	51	**	VDD5	95	I	NONCACHE#	139	**	VDD5
8	I/O	D<27>	52	O	RAS0#	96		Reserved	140	I	IRL<3>/IRQ15
9	I/O	D<26>	53	O	RAS1#	97		Reserved	141	I	IRL<2>/IRQ14
10	I/O	D<25>	54	O	RAS2#	98	I/O	ADR<2>	142	I	IRL<1>/IRQ13
11	I/O	D<24>	55	O	RAS3#	99	I/O	ADR<3>	143	I	IRL<0>/IRQ12
12	**	VDD5	56	--	VDD3	100	**	VDD5	144	--	VDD3
13	I/O	D<23>	57	O	CAS0#	101	I/O	ADR<4>	145	I	FLOAT#
14	I/O	D<22>	58	O	CAS1#	102	I/O	ADR<5>	146	O	PDOWN#
15	I/O	D<21>	59	O	CAS2#	103	I/O	ADR<6>	147	I	WKUP#
16	I/O	D<20>	60	O	CAS3#	104	I/O	ADR<7>	148	I	RESET#
17	::	VSS	61	::	VSS	105	::	VSS	149	::	VSS
18	I/O	D<19>	62	O	DOE#	106	I/O	ADR<8>	150	I	IDLEEN
19	I/O	D<18>	63		*1 Reserved	107	I/O	ADR<9>	151	I	CLKSEL1
20	I/O	D<17>	64	O	ERROR#	108	I/O	ADR<10>	152	I	CLKSEL0
21	I/O	D<16>	65	O	LOCK#	109	I/O	ADR<11>	153	I	CLKEXT
22	I	BTEST#	66	I	CTEST#	110	I	READY#	154	I	CLKIN
23	--	VDD3	67	**	VDD5	111	--	VDD3	155	**	VDD5
24	I/O	D<15>	68	I	BREQ#	112	I/O	ADR<12>	156	I	IRQ11
25	I/O	D<14>	69	O	PBREQ#	113	I/O	ADR<13>	157	I	IRQ10
26	I/O	D<13>	70	O	BGRNT#	114	I/O	ADR<14>	158	I	IRQ9
27	I/O	D<12>	71	I	BMACK#	115	I/O	ADR<15>	159	I	IRQ8
28	::	VSS	72	::	VSS	116	::	VSS	160	::	VSS
29	I/O	D<11>	73	O	BMREQ#	117	I/O	ADR<16>	161		Reserved
30	I/O	D<10>	74	O	OVF#	118	I/O	ADR<17>	162		Reserved
31	I/O	D<9>	75	O	SAMEPAGE#	119	I/O	ADR<18>	163		Reserved
32	I/O	D<8>	76	I/O	AS#	120	I/O	ADR<19>	164		Reserved
33	**	VDD5	77	--	VDD3	121	**	VDD5	165	--	VDD3
34	I/O	D<7>	78	I/O	RDWR#	122	I/O	ADR<20>	166		Reserved
35	I/O	D<6>	79	O	RDYOUT#	123	I/O	ADR<21>	167		Reserved
36	I/O	D<5>	80	O	CS5#	124	I/O	ADR<22>	168		Reserved
37	I/O	D<4>	81	O	CS4#	125	I/O	ADR<23>	169		Reserved
38	I	BMODE8#	82	**	VDD5	126	I	MEXC#	170	**	VDD5
39	::	VSS	83	::	VSS	127	::	VSS	171	::	VSS
40	I/O	D<3>	84	O	CS3#	128	I/O	ADR<24>	172		Reserved
41	I/O	D<2>	85	O	CS2#	129	I/O	ADR<25>	173		Reserved
42	I/O	D<1>	86	O	CS1#	130	I/O	ADR<26>	174		Reserved
43	I/O	D<0>	87	O	CS0#	131	I/O	ADR<27>	175		Reserved
44	--	VDD3	88	::	VSS	132	--	VDD3	176	::	VSS

VDD3　：3.3V 系電源端子（内部電源供給用）

VDD5　：5.0V 系電源端子（I/O 電源供給用）

Reserved　：将来 DSU 等の拡張のため予約された端子です。Open でご使用ください。

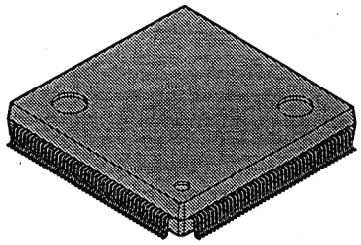
*1　：プルアップ抵抗が内蔵されています。

3. パッケージ外形図

FPT-176P-M01

EIAJコード：＊QFP176-P-2424-1

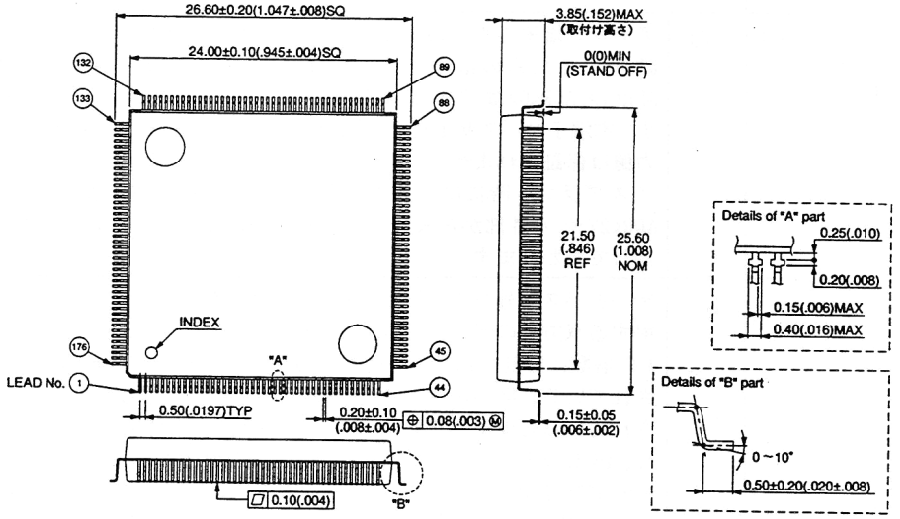
プラスチック・QFP, 176ピン



(FPT-176P-M01)

リードピッチ	0.50mm
パッケージ幅×パッケージ長さ	24×24mm
リード形状	ガルウィング
封止方法	プラスチックモールド

プラスチック・QFP, 176ピン
(FPT-176P-M01)



単位：mm (inches)

4. 端子機能

4.1. CPU コア関連端子

端子記号	端子名称	入出力	説明
CLKIN	CLOCK	I	クロック入力端子です。本クロックは外部バスの動作を規定するクロックであり、バスの AC 特性は本クロックを基準に規定されます。
CLKEXT	EXTERNAL CLOCK BYPASS	I	外部クロック選択端子です。"L"の時、内部 PLL で発生したクロックを使用し"H"の時には外部クロック(CLKIN からの入力)をそのまま使用します。通常は"L"に固定して使用してください。
RESET#	SYSTEM RESET	I	リセット入力です。本端子に"L"を入力することにより、CPU は初期状態となります。
CLKSEL0 CLKSEL1	INTERNAL CLOCK SELECT	I	内部クロック設定端子です。本端子により、IU およびキャッシュの動作クロックを外部クロックの×1、×2、×3、×4 のいずれかに設定します。 CLKSEL1 / CLKSEL0 / 内部クロック L / L / ×1 L / H / ×2 H / L / ×3 H / H / ×4
CTEST# BTEST#	CTEST BTEST	I	テスト用端子です。通常使用時は "H" に固定してください。
ADR<27:2>	ADDRESS BUS	I/O	アドレス端子です。ADR<27:2>は命令アドレスまたはデータアドレスを識別するための信号です。8/16 ビットバス幅を使用する場合の ADR<1>, ADR<0>は BE2#および BE3#にマルチプレクスして出力されます。本端子はバスサイクル期間中有効であり、アイドルサイクル中の出力値は保証されません。 バスグラント時には、入力となり CS 生成回路等で使用されます。ADR<27:2>が外部から入力される場合には ADR<31:28>はチップ内部で 0 として扱われます。
D<31:0>	DATA BUS	I/O	データバス信号です。命令フェッチ、データロード、データストアで使用する双方向のデータバスです。命令およびワードデータのアドレスは 4 の倍数に整列されている必要があり、ハーフワードは 2 の倍数に整列されている必要があります。ダブルワードは 8 の倍数のアドレスに整列されている必要があります。8 ビットバスモード時には D<7:0>が使用され、16 ビットバスモード時には D<15:0>が使用されます。8 ビットバスモード又は 16 ビットモードで使用する場合には、使用しないデータバスにはプルアップ抵抗を付ける必要があります (8 ビットバスの場合 D<31:8>、16 ビットバスの場合、D<31:16>) 。

端子記号	端子名称	入出力	説明
AS#	ADDRESS STROBE	I/O	アドレスストローブ信号です。バスサイクルの最初のサイクルで１サイクル期間“L”が出力されます。基本的にバスサイクルはAS#のアサートで始まり、READY#あるいはRDYOUT#のアサートで終了します。 バスグラント時には入力となり、CS 生成回路、ウエイトステート生成回路の起動信号として使用されます。
RDWR#	READ/WRITE BUS TRANSACTION	I/O	リードライト信号です。現在のバスサイクルがライトサイクルの場合には“L”が出力され、リードサイクルおよびアイドルサイクルの期間に“H”が出力されます。バスサイクルの開始から終了まで出力レベルは“H”あるいは“L”レベルが保たれます バスグラント時には入力となり、DRAM Controller Enable 時の DWE0#, DWE1#, DWE2#, DWE3#及び DOE#の生成に使用されます。DRAM Controller Disable 時には、本信号は使用されません。

端子記号	端子名称	入出力	説明
BYTE ENABLE	BE0# BE1# BE2# BE3#	O O I/O O	バイトイネーブル信号です。 32 ビットバス幅を使用する場合、ライト時に有効なバイトを示します。リード時にはデータタイプに依存せず BE0#～3#のすべてがアサートされます。8 および 16 ビットバス幅の時には、BE2#および BE3#はそれぞれ ADR<1>および ADR<0>を出力します。 BE0#～3#は、バスサイクル期間で有効であり、アイドルサイクル期間中の出力レベルは保証されません。 バスグラント時には、High-Z となり、DRAM コントローラが ON でかつ、バス幅が 16 ビットの場合のみ、BE2#が外部バスマスタサポートのための ADR<1>入力端子となります。

バス幅	アクセスタイプ		BE0, 1, 2, 3#
32 ビット バス幅	ライト	バイト 0 (D<31:24>) *1	0 1 1 1
		バイト 1 (D<23:16>)	1 0 1 1
		バイト 2 (D<15:8>)	1 1 0 1
		バイト 3 (D<7:0>)	1 1 1 0
		ハーフワード 0 (D<31:16>)	0 0 1 1
		ハーフワード 1 (D<15:0>)	1 1 0 0
		ワード	0 0 0 0
	リード	すべてのデータタイプ	0 0 0 0
16 ビット バス幅	ライト	バイト 0 (D<15:8>)	1 0 0 0
		バイト 1 (D<7:0>)	0 1 0 0
		バイト 2 (D<15:8>)	1 0 1 0
		バイト 3 (D<7:0>)	0 1 1 0
		ハーフワード 0 (D<15:0>)	0 0 0 0
		ハーフワード 1 (D<15:0>)	0 0 1 0
		ワード(D<15:0>) アクセス 0	0 0 1 0
		ワード(D<15:0>) アクセス 1	0 0 0 0
	リード	アクセス 0	0 0 0 0
		アクセス 1	0 0 1 0
8 ビット バス幅	ライト	バイト 0	X X 0 0
		バイト 1	X X 0 1
		バイト 2	X X 1 0
		バイト 3	X X 1 1
		ハーフワード 0 アクセス 0	X X 1 1
		ハーフワード 0 アクセス 1	X X 1 0
		ハーフワード 1 アクセス 0	X X 0 1
		ハーフワード 1 アクセス 1	X X 0 0
		ワード アクセス 0	X X 1 1
		ワード アクセス 1	X X 1 0
		ワード アクセス 2	X X 0 1
		ワード アクセス 3	X X 0 0
	リード	アクセス 0	X X 0 0
		アクセス 1	X X 0 1
		アクセス 2	X X 1 0
		アクセス 3	X X 1 1

*1:(D<31:24>)等の表記は使用するデータバスのビットを示します。

端子記号	端子名称	入出力	説明
CS0# CS1# CS2# CS3# CS4# CS5#	CHIP SELECT	O	チップセレクト信号です。これらのチップセレクト信号は、System Support Control Register[SSCR]の CS Enable bit(bit4)が"1"の時、Address Range Specifier Register[ARSR] および Address Mask Register[AMR]で指定されるアドレス範囲がアクセスされる場合にアサートされます（ただし、CS0#だけは、CS Enable bit に依存しません）。
BREQ#	BUS REQUEST	I	バス要求信号です。外部バスマスタにより、本信号がアサートされた場合に、CPU は現在のバスサイクル終了後にバスを開放します。すなわち、 (1)アトミックロードストア命令実行時 ロード、ストアともに完了した後、バスを開放します。 (2)ダブルワードのロードあるいはストアの場合 1ワードめで BREQ#がアサートされる時には、1ワードの転送終了後にバスを開放しますし、2ワードめのバスサイクルで BREQ#がアサートされる時には、2ワードめの転送後バスを開放します。 (3)8/16 ビットバス幅でのストア 命令で扱うデータサイズ分の転送終了後(たとえば、8ビットバスでワードデータをストアする場合には8ビットデータを4回ライトした後)、バスを開放します。 (4)8/16 ビットバス幅でのロード 1ワード分の転送終了後、バスを開放します。
BGRNT#	BUS GRUNT	O	バスグラント信号です。バス要求(BREQ#)を受けつけた時、本信号をアサートし、バス開放状態であることを外部デバイスに通知します。
IRL3 IRL2 IRL1 IRL0	INTERRUPT REQUEST LEVEL	I	割り込み入力端子です。 本端子は、エンコードされた割り込みレベルを入力するための信号です。これらの端子は、グループ化された非同期入力信号であり、外部クロックの立ち下がりで2回同一レベルが検出された場合にはじめて IU（整数ユニット）に通知されます。$IRL=0000_{(2)}$は割り込みがない状態を示し，$IRL=1111_{(2)}$はノンマスカブル割り込みとして SPARC アーキテクチャで定められています。IRL は、外部回路で優先度を決定し、CPU が確認するまで保持されている必要があります。
READY#	EXTERNAL READY	I	レディ入力端子です。バスサイクル終了時、本端子に"L"を入力してください。CPU は READY#="L"を受け付けると次のバスサイクルを開始します。ただし、内部ウエイトステート生成回路を使用する場合には本端子に"L"を入力する必要はありません。 バースト転送、8ビットバスでの命令フェッチ/データロード、16ビットバスでの命令フェッチ/データロードにおいては、1回のアドレスストローブのアサートに対して所定の回数のレディを入力する必要があります。

端子記号	端子名称	入出力	説明
MEXC#	MEMORY EXCEPTION	I	メモリアクセス例外端子です。レディ入力と同一サイクルで本端子に“L”が入力されると CPU は、命令アクセス例外あるいはデータアクセス例外として扱い、トラップを発生します。レディ入力と同一サイクル以外のタイミングで本信号がアサートされる場合の動作は保証されません(PSR の ET bit が“0”の時に例外が発生した場合にはエラー状態となります)。
ERROR#	ERROR SIGNAL	O	エラー信号です。トラップディセーブル時にトラップが発生して CPU がエラー状態で停止したことを示す信号です。この場合、CPU は PC および nPC をレジスタに退避し、トラップタイプを TBR にセットしてエラー状態に入ります。エラー状態はリセットによってのみ抜け出すことが可能です。
ASI<3:0>	ADDRESS SPACE IDENTIFIERS	I/O	ASI 端子（アドレス空間識別信号）です。ADR<27:2>と同様にバスサイクル期間で出力が有効です。 バスグラント時には入力となり、CS 生成および内部のリソースアドレスデコードに使用されます。外部から ASI<3:0>が入力される場合には、ASI<7:4>は CPU 内部では 0 として扱われます。 各アドレス空間の割り当てについては 6 章(アドレス空間とレジスタマップ）を参照してください。
LOCK#	BUS LOCK	O	バスロック信号です。CPU は Atomic Load Store 命令実行中に本信号をアサートし、現在のバストランザクションが分割できない複数の転送を必要としていることを示します。アトミック命令実行時、CPU はバス要求(BREQ#)に対しては、命令実行完了後にバス開放(BGRNT#をアサート)しますので、通常の使用形態(BREQ#/BGRNT#でバス権を制御する場合)には本信号を使用する必要はありません。
RDYOUT#	READY OUTPUT	O	レディ出力です。本端子には、内部ウエイトステート生成回路で発生されたレディ信号と外部レディ(READY#)信号の合成された信号が出力されます。 内部で生成されるレディの遅延はクロック入力を基準に規定されますが、外部レディが合成されるタイミングでは、端子からの入力がそのまま遅延して出力されます。
IDLEEN	IDLE ENABLE	I	アイドル挿入イネーブル端子です。 本端子が“H”の時、CS0#領域アクセス後、次のサイクルがロードまたはストア動作の場合、アイドルサイクルを２クロックサイクル挿入してから次のバスサイクルを開始します。データバスの出力オフタイムの長い EPROM 等を CPU に直結する場合に有効です。 本端子が“L”の場合は、リードサイクル直後にライトサイクルが来る場合にアイドルサイクルを 1 サイクルのみ挿入するように制御されます(従来の SPARClite とコンパチブル)。 本端子は“H”あるいは“L”に固定して使用してください。

端子記号	端子名称	入出力	説明
BMODE8# BMODE16＃	BOOT MODE8 BOOT MODE16	I	CS0#領域のバス幅指定信号です。リセット時に取り込まれて CS0#領域のバス幅が決定されます。BMODE8#が“L”の時には 8 ビットバスモードとなり、BMODE16#が“L”の時には 16 ビットバスモードとなります (CS1#～CS5#領域のバス幅は Bus Width／Cacheable Control Register[BWCR] で指定します)。 これらの端子は “L” あるいはい “H” に固定して使用してください。ただし、同時に“L”を設定することは禁止です。
NONCACHE#	NON-CACHEABLE	I	ノンキャッシャブル信号です。本信号は、データキャッシュを対象としたキャッシュ領域外指定信号であり、Cache／BIU Control Register[CBIR]の Cacheability Enable bit(bit7)を “1” にすることにより有効になります。データリード時に本端子に“L”が入力されるとそのデータとアドレスはデータキャッシュに書き込まれません(命令フェッチ時には本信号は無効です)。通常、NONCACHE#信号はアドレスストローブがアサートされるサイクルで確定する必要があります。ただし、NONCACHE#信号の確定が 1 サイクル以上遅れる場合でも、Cache／BIU Control Register[CBIR]の Non-cacheable bit(bit9,8)を設定することにより、使用可能となります。
PDOWN#	POWER DOWN	O	スリープモード出力端子です。“L”レベル出力により、スリープモード（低消費電力モード）への移行が完了したことを示します。
WKUP#	WAKE-UP	I	スリープモード解除端子です。本端子に“L”が入力されると CPU のスリープモードが解除され、動作を開始します。本端子は非同期入力ですが、2 クロック期間以上の“L”幅が必要です。
BMREQ#	BURST MODE REQUEST	O	バースト転送要求端子です。Bus Control Register[BCR]の Instruction Burst Enable bit あるいは Data Burst Enable bit がセットされている時にキャッシュミスヒットが起こると CPU は本信号を“L”にして外部メモリに対してバースト転送を要求します。 また、System Support Control Register[SSCR]の DRAM Burst Enable bit がセットされている時にも BMREQ#はアサートされます。ただし、この場合には内部の DRAM コントローラが応答するので外部では BMACK#を返す必要はありません。
BMACK#	BURST MODE ACKNOWLEDGE	I	バーストモードアクノリッジ入力です。バースト転送要求時(BMREQ#端子に“L”が出力された時)に READY#と同一サイクルまでに確定した“L”レベルが入力されるとバースト転送モードとなります(READY#と同一サイクルで“L”が入力されるかあるいはそれよりも前のサイクルから“L”が入力され、READY#のサイクルまで継続されるかのどちらでも可能です)。System Support Control Register[SSCR]の DRAM Burst Enable bit がセットされている場合には BMACK#が返らなくてもバースト転送となります。

端子記号	端子名称	入出力	説明
PBREQ#	PROCESSOR BUS REQUEST	O	プロセッサバス要求信号です。CPU がバス権を明け渡している時に外部バスへのアクセスが必要となった時（キャッシュミスヒットが起き、外部アクセスが必要になった時）にアサートし、外部バスマスタに通知します。
OVF#	TIMER OVERFLOW	O	タイマオーバフロー信号です。System Support Control Register[SSCR] の TIMER ON/OFF bit が"1"の時 DRAM Refresh Timer Register、DRAM Refresh Timer Pre-load Register の設定にしたがってタイマがカウント動作を行い、カウント値が 0 になった時に"L"パルスが出力されます。パルス幅は、DRAM Refresh Timer Pre-load Register のビット 31 が "0" の場合には外部バスクロックの 1 クロック幅となり、"1" の場合には 3 クロック幅となります。なお、カウント動作は外部バスクロックに従って行われます。 本端子は、通常、DRAM リフレッシュ要求信号として使用されますが、パルス幅を 3 クロック幅に指定した場合には、割り込みコントローラの割り込み入力(IRQx)に接続することが可能です。
SAMEPAGE#	SAME PAGE DETECT	O	同一ページ検出出力端子です。System Support Control Register[SSCR] の Same-Page Enable bit が"1"の時、CS4#が"L"でかつ、Same-Page Mask Register[SPGMR]でマスクされたアドレスと以前のアクセスアドレスを比較して一致した場合に"L"を出力します。本信号はバスサイクルの期間、出力されます。
FLOAT#	FLOATING	I	端子フロート入力です。本端子を"L"に固定することにより、すべての出力端子および双方向端子を High-Z 状態にします。

4.2. DRAM コントローラ関連端子

端子記号	端子名称	入出力	説明
RAS0# RAS1# RAS2# RAS3#	DRAM ROW ADDRESS STROBE	O	DRAM コントローラの RAS 出力です。RAS0#, 1#, 2#, 3#はそれぞれ DRAM のバンク 0、バンク 1、バンク 2、バンク 3 に対応した制御信号です。
CAS0# CAS1# CAS2# CAS3#	DRAM COLUMN ADDRESS STROBE	O	DRAM の CAS 制御出力です。 32 ビットバス幅を使用し、かつ、2CAS 方式の DRAM を使用する場合には、CAS0#, 1#, 2#, 3#はそれぞれ、バイト 0(b31-b24)、バイト 1(b23-b16)、バイト 2(b15-b8)、バイト 3(b7-b0)に対応して制御されます。16 ビットバス幅を使用し、かつ、2CAS 方式の DRAM を使用する場合には、CAS2#、CAS3#は、それぞれバイト 0(偶数番地のバイトデータ)およびバイト 1(奇数番地のバイトデータ)に対応します。16 ビットバス幅を使用する場合の CAS0#、CAS1#の出力は保証されません。 2WE 方式の DRAM を使用する場合には、CAS0#～3#のいずれも同一の出力となります。
DWE0# DWE1# DWE2# DWE3#	DRAM WRITE ENABLE	O	DRAM のライトイネーブル制御出力です。 2WE 方式の DRAM を使用する場合には、DWE0#, 1#, 2#, 3#はそれぞれ、バイト 0(b31-b24)、バイト 1(b23-b16)、バイト 2(b15-b8)、バイト 3(b7-b0)に対応して制御されます。 2CAS 方式の DRAM を使用する場合には、DWE0#～3#はいずれも同一の出力となります。
DOE#	DRAM OUTPUT ENABLE	O	DRAM の OE 制御出力です。高速ページモード DRAM を使用する場合には、アーリーライトのタイミングで DWEx#および CASx#が制御されるため、本信号は使用しなくても DRAM 制御が可能ですが、EDO (ハイパページモード) DRAM を使用する場合には、DRAM の出力をハイインピーダンス制御するために必要です。
ADR<13:2>	ADDRESS BUS	I/O	DRAM 用アドレス信号です。DRAM コントローラは、ロウアドレスとコラムアドレスをマルチプレクスして CPU のアドレス端子のうち ADR<13:2>に出力します。

4.3. 割り込みコントローラ関連信号

端子記号	端子名称	入出力	説明
IRQ15/IRL3 IRQ14/IRL2 IRQ13/IRL1 IRQ12/IRL0 IRQ11 IRQ10 IRQ9 IRQ8	INTERRUPT REQUEST	I	割り込み入力端子です。割り込みコントローラ(IRC)のトリガモードに設定されたアクティブレベルが入力されると、IRC のリクエストセンスレジスタに割り込み要求が保持されます。 (IRC は優先順位判定、IRL<3:0>へのコード化をおこない、CPU コアへ割り込みレベルを伝達します。) IRQ15～12 信号は IRL<3:0>端子に割り当てられており、IRC がイネーブルになった時点で IRQ15～12 として機能します。

4.4. 端子状態

リセット及びバスグラント時の出力端子及び入出力端子の状態を示します。

4.4.1. CPU コア関連端子

端子	リセット時	バスグラント時
ADR<27:2>	O (X)	I (D)
AS#	O (H)	I (Z)
BE0#	O (X)	O (Z)
BE2#	O (X)	I (Z)
CS0#-CS5#	O (H)	O (V)
ERROR#	O (H)	O (V)
LOCK#	O (H)	O (Z)
PDOWN#	O (H)	O (H)
PBREQ#	O (H)	O (V)
SAMEPAGE#	O (H)	O (V)

端子	リセット時	バスグラント時
D<31:0>	I (Z)	I (Z)
RDWR#	O (H)	I (Z)
BE1#	O (X)	O (Z)
BE3#	O (X)	O (Z)
BGRNT#	O (H)	O (L)
ASI<3:0>	O (X)	I (Z)
RDYOUT#	O (V)	O (V)
BMREQ#	O (H)	O (H)
OVF#	O (H)	O (V)

O (V)：回路が動作しており、有効なレベルを出力しています。
O (X)：回路が停止しており、出力が不定になっています。
O (Z)：出力端子で High-Z になっています。
O (H)：“H” を出力します。
O (L)：“L” を出力します。
I (Z)：入力状態となり、High-Z になります。
I (D)：DRAM コントローライネーブル時、AS#=“L” になった次のクロックから出力となり、レディ入力が“L” になるまで出力が続きます。DRAM コントローラディセーブル時は、High-Z 状態になります。

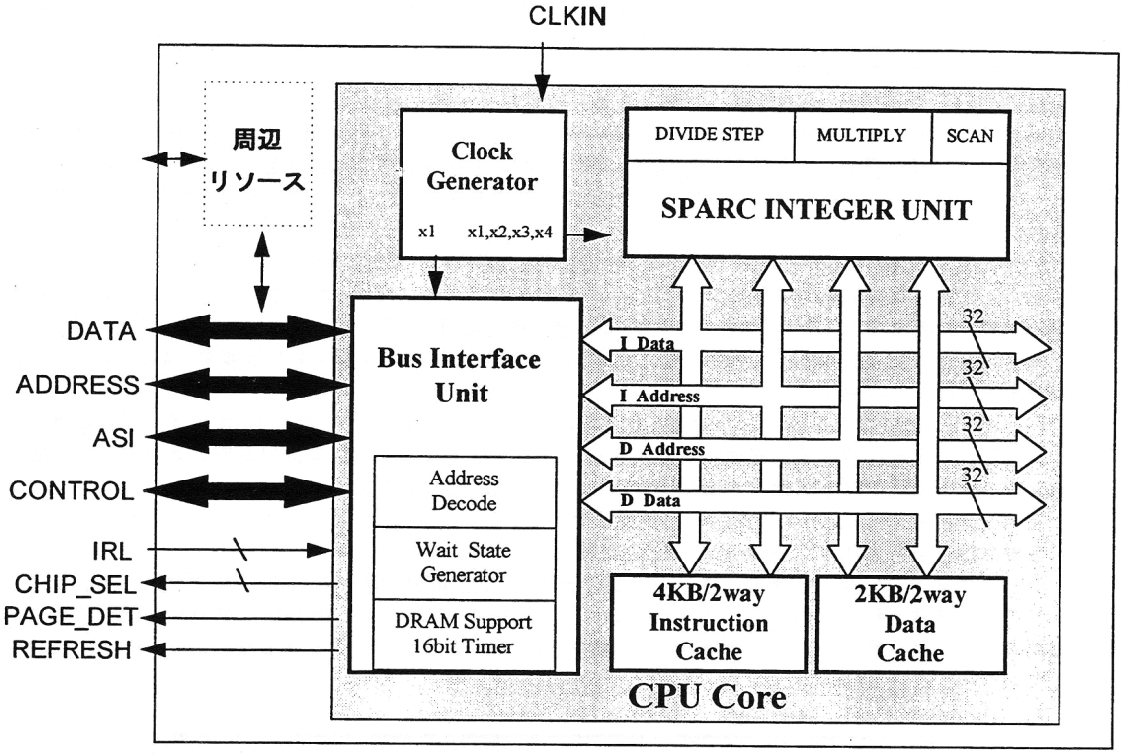
4.4.2. DRAM コントローラ関連端子

端子	リセット時	バスグラント時
RAS3#-RAS0#	O (H)	O (V)
DOE#	O (H)	O (V)

端子	リセット時	バスグラント時
CAS3#-CAS0#	O (H)	O (V)
ADR 〈13 : 2〉	O (X)	I (D)

O (V)：回路が動作しており、有効なレベルを出力しています。
O (X)：回路が停止しており、出力が不定になっています。
O (H)：“H” を出力します。
I (D)：DRAM コントローライネーブル時、AS#=“L” になった次のクロックから出力となり、レディ入力が“L” になるまで出力が続きます。DRAM コントローラディセーブル時は、High-Z 状態になります。

5. 内部ブロック図


CLKIN
周辺
リソース
Clock
Generator
x1
x1,x2,x3,x4
DIVIDE STEP
MULTIPLY
SCAN
SPARC INTEGER UNIT
DATA
ADDRESS
ASI
CONTROL
IRL
CHIP_SEL
PAGE_DET
REFRESH
Bus Interface
Unit
Address
Decode
Wait State
Generator
DRAM Support
16bit Timer
I Data
I Address
D Address
D Data
32
32
32
32
4KB/2way
Instruction
Cache
2KB/2way
Data
Cache
CPU Core

6. アドレス空間とレジスタマップ

6. 1. ASI について

SPARC は、アドレス信号とは別に ASI(Address Space Identifier)と呼ばれるアドレス空間の識別用の信号をもっており、スーパバイザとユーザーのメモリ空間を別の空間として扱ったり、メモリと IO に分離した別のアドレス空間を割り当てることができるようになっています。

SPARClite では、ASI の割り当てを表 1のように定義しています。

通常、ユーザーモードでは、ASI=0x08 (ユーザー命令空間) と ASI=0x0A (ユーザーデータ空間)のみを使用することが可能で、そのほかの空間はスーパーバイザモードでのみアクセスすることが可能です。

したがって、IO デバイスをスーパーバイザのみがアクセスできるようにするには、ASI=0x08 空間を避ける必要があります。

ASI=0x01～0x03、0x0C～0x0F、0xFD～0xFF の空間は CPU コア内の制御レジスタやキャッシュのテストアクセス用に割り当てられているため、これらの空間へのアクセスはチップ外部へは現れません。したがって、システム固有の IO デバイスをチップ外部に置く場合には、これらの ASI を割り当ててはいけません。

命令用メモリは ASI=0x08、0x09 に置く必要がありますし、データ用メモリは通常、ASI=0x0A、0x0B に配置する必要があります。

ASI=0x08～0x0B はキャッシュの対象となるため、IO デバイスを ASI=0x08 や 0x0A に置く場合にはキャッシュされないように設定する必要があります。一方で、ASI=0x08、0x0A 空間は即値のオフセットの使える通常のロード命令やストア命令が使用できるという便利な面もあります。

システム固有の IO デバイスをスーパーバイザのみがアクセスでき、かつ、キャッシュされないための最も簡単な割り当て方法は、ASI=0x04～0x07 に置くことです。

チップ内部で CPU コアと接続される周辺リソース (IRC や DRAMC 等) は CS3#(プログラマブルチップセレクト 3) に接続されるため、プログラムにより、ASI=0x04～0x07, 0x0A, 0x0B のいずれにも配置することができますが、その際、外部の IO やメモリへの割り当て番地とオーバーラップしないようにする必要があります。

表 1　ASI 空間

ASI	アドレス
0x0	リザーブ領域です。アクセスしないでください。
0x1	CPU コア内部の制御レジスタをアクセスするための空間です。
0x2	命令キャッシュの LOCK bit アクセスのための空間です。
0x3	データキャッシュの LOCK bit アクセスのための空間です。
0x4～0x7	アプリケーション定義可能な空間です。通常、システム固有の IO デバイスはこの空間を使用してください。キャッシュの対象にはなりません。
0x8	ユーザ命令空間です。
0x9	スーパバイザ命令空間です。
0xA	ユーザデータ空間です。
0xB	スーパバイザデータ空間です。
0xC	命令キャッシュの TAG RAM をアクセスするための空間です。
0xD	命令キャッシュの DATA RAM をテストアクセスするための空間です。
0xE	データキャッシュの TAG RAM をアクセスするための空間です。
0xF	データキャッシュの DATA RAM をテストアクセスするための空間です。
0x10～0xFC	CPU コアは、これらの空間を識別するための情報はもっていますが、チップの外部端子には ASI<7:4>は出力されないので、通常、この領域は使用しないでください。
0xFD～0xFF	デバッグサポートユニット用レジスタのためのリザーブ領域です。

6.2. 各レジスタのビットマップ

6.2.1. ＩＵの専用レジスタ（メモリマップされない）

Processor Status Register（ＰＳＲ）

31 28	27 24	23 20 icc				19 12	11 8	7	6	5	4 3	2 0
0 0 0 0	1 1 1 1	n	z	v	c	Reserved	PIL	S	PS	ET	Reserved	CWP

bit23-20 : 整数コンディションコード〔ｉｃｃ〕 (n:Negative=1, z:Zero=1, v:Overflow=1, c:Carry=1)
bit19-12 : Reserved〔“0”書込み、読み出し不定〕
bit11-8 : Processor Interrupt Level〔ＰＩＬ〕 (Value=1-15, RST=X)
bit7 : Supervisor Mode〔Ｓ〕 (Supervisor=1, User=0, RST=1)
bit6 : Prior S Mode〔ＰＳ〕
bit5 : Enable Trap〔ＥＴ〕 (Enable=1, Disable=0, RST=0)
bit4-3 : Reserved〔“0”書込み、読み出し不定〕
bit2-0 : Current Window Point〔ＣＷＰ〕(Value=0-7, RST=X)　　X：不定

Window Invalid Mask Register（ＷＩＭ）

31 8	7	6	5	4	3	2	1	0
Reserved	w7	w6	w5	w4	w3	w2	w1	w0

bit31-8 : Reserved〔“0”書込み、読み出し不定〕
bit7-0 : Window Invalid Mask〔ｗ７－ｗ０〕 (Invalid=1, Valid=0, RST=X)　　X：不定

Trap Base Register（ＴＢＲ）

31 12	11 4	3 0
TBR	tt	0 0 0 0

bit31-12 : Trap Base Address〔ＴＢＲ〕 (RST=X)
bit11-4 : Trap Type〔ｔｔ〕 (RST=X)　　X：不定

Y Register（Ｙ）

31 0

【続く】

【続き】

Ancillary State Register17（ＡＳＲ１７）

31	1	0
Reserved		SVT

bit31-1 : Reserved〔“0”書込み、読み出し不定〕
bit0 : Single Vector Trapping〔ＳＶＴ〕 (Enable=1, Disable=0, RST=0)

6.2.2. ＩＵの汎用レジスタ（メモリマップされない）

Zero Register（ｒ０）

31	0
0	

bit31-0 : 0

汎用レジスタ(ｒ１－ｒ３１)

31	0

IU は、演算のための引数および結果を保持するために 32 ビットの汎用レジスタを 136 本内蔵しています。これらのレジスタは Register Window と呼ばれる Window から 32 本のみがアクセス可能です。

Register Window は８ブロック存在していて、Processor Status Register(PSR)の CWP bit (bit4－0) によってどの Window を使用するか決定します。Register Window は各 Window 共通に使用できる８本の global Register と２４本のレジスタ（in-register×８, local-register×８, out-register×８）から構成されていて、隣り合う Register Window の in-register と out-register が共通となっています。

6.2.3. ＣＰＵコア内蔵のレジスタのビットマップ

Cache／BIU Control Register（ＣＢＩＲ） ASI=0x01, Address=0x00000000

31 … 10	9	8	7	6	5	4	3	2	1	0
Reserved										

bit31-10 : Reserved〔“0”書込み、読み出し不定〕
bit9-8 : Non-cacheable Wait-state〔読み出し不定〕
bit7 : Cacheability Enable〔読み出し不定〕 (Enable=1, Disable=0, RST=0)
bit6 : Reserved〔“0”書込み、読み出し不定〕
bit5 : Write Buffer Enable (Enable=1, Disable=0, RST=0)
bit4 : Prefetch Buffer Enable (Enable=1, Disable=0, RST=0)
bit3 : Data Cache Lock (Lock=1, Unlock=0, RST=0)
bit2 : Data Cache Enable (Enable=1, Disable=0, RST=0)
bit1 : Instruction Cache Lock (Lock=1, Unlock=0, RST=0)
bit0 : Instruction Cache Enable (Enable=1, Disable=0, RST=0)

Lock Control Register（ＬＣＲ） ASI=0x01, Address=0x00000004

31 … 2	1	0
Reserved		

bit31-2 : Reserved〔“0”書込み、読み出し不定〕
bit1 : Data Cache Entry Auto Lock (Enable=1, Disable=0, RST=0)
bit0 : Instruction Cache Entry Auto Lock (Enable=1, Disable=0, RST=0)

Lock Control Save Register（ＬＣＳＲ） ASI=0x01, Address=0x00000008

31 … 2	1	0
Reserved		

bit31-2 : Reserved〔“0”書込み、読み出し不定〕
bit1 : Previous Data Cache Auto Lock (Off=0, On=1, RST=0)
bit0 : Previous Instruction Cache Auto Lock (Off=0, On=1, RST=0)

Restore Lock Control Register（ＲＬＣＲ） ASI=0x01, Address=0x00000010

31 … 1	0
Reserved	

bit31-1 : Reserved〔“0”書込み、読み出し不定〕
bit0 : Restore Lock Control Register (Restore=1, Ignore=0, RST=0)

【続く】

【続き】

Bus Control Register（ＢＣＲ） ASI=0x01, Address=0x00000020

31	2	1	0
Reserved			

bit31-2 : Reserved〔“0”書込み、読み出し不定〕
bit1 : Data Burst Enable (Enable=1, Disable=0, RST=0)
bit0 : Instruction Burst Enable (Enable=1, Disable=0, RST=0)

System Support Control Register（ＳＳＣＲ） ASI=0x01, Address=0x00000080

31	8	7	6	5	4	3	2	1	0
Reserved									

bit31-8 : Reserved〔“0”書込み、読み出し不定〕
bit7 : DRAM Burst Enable (Enable=1, Disable=0, RST=0)
bit6 : DRAM Controller Enable (Enable=1, Disable=0, RST=0)
bit5 : Same Page Enable (Enabled=1, Disable=0, RST=0)
bit4 : CS Enable (Enable=1, Disable=0, RST=0) *1
bit3 : Programmable Wait-state (Enable=1, Disable=0, RST=1)
bit2 : Timer On／Off (Enable=1, Disable=0, RST=0)
bit1-0 : Reserved〔“0”書込み、読み出し不定〕

*1 : CS0は本ビットに関係なく常にイネーブル。

Same Page Mask Register（ＳＰＧＭＲ） ASI=0x01, Address=0x00000120

31	30	23	22	1	0
	ASI〈7 : 0〉Mask		Address〈31 : 10〉Mask		

bit31 : Reserved〔“0”書込み、読み出し不定〕
bit30-23 : ASI <7:0>Mask (Care=0, Don't Core=1, RST=X)
bit22-1 : Address <31:10>Mask (Care=0, Don't Care=1, RST=X)
bit0 : Reserved〔“0”書込み、読み出し不定〕

X:不定

Address Range Specifier Register（ＡＲＳＲ） ASI=0x01, Address=0x00000124-0x00000134

31	30	23	22	1	0
	ASI〈7 : 0〉		Address〈31 : 10〉		

bit31 : Reserved〔“0”書込み、読み出し不定〕
bit30-23 : ASI<7:0> (RST=X) *1
bit22-1 : Address<31:10> (RST=X) *1
bit0 : Reserved〔“0”書込み、読み出し不定〕

*1 : CS0はAddress<31:15>=0, Address<14:10>=0, ASI<7:0>=0x09に固定されています。

X:不定

【続く】

【続き】

Address Mask Register (AMR) | ASI=0x01, Address=0x00000140-0x00000154

31	30 … 23	22 … 1	0
	ASI 〈7 : 0〉 Mask	Address 〈31 : 10〉 Mask	

bit31 : Reserved 〔"0" 書込み、読み出し不定〕
bit30-23 : ASI<7:0> Mask (CS0:RST=0、CS1-5 : RST=X)
bit22-1 : Address<31:10> Mask(CS0 : RST=<31:15>=0, <14:10>=0x1f、CS1-5 : RST=X)
bit0 : Reserved 〔"0" 書込み、読み出し不定〕 X:不定

Wait state Specifier Register (WSSR) | ASI=0x01, Address=0x00000160−0x00000168

31 … 27	26 … 22	21	20	19	18 … 14	13 … 9	8	7	6	5	4	3 … 0
count1	count2				count1	count2						

bit31-27, bit18-14 : count1 (CS0 : RST=0x1f、CS1-5 : RST=0)
bit26-22, bit13-9 : count2 (CS0 : RST=0x1f、CS1-5 : RST=0)
bit21, bit8 : Wait Enable (On=1, Off=0, CS0 : RST=1、CS1-5 : RST=0)
bit20, bit7 : Single Cycle Non Burst Mode (On=1, Off=0, RST=0)
bit19, bit6 : Override (On=1, Off=0, CS0=1、CS1-5=0)
bit5-4 : Single Cycle Burst Mode (On=1, Off=0, RST=0)
bit3-0 : Reserved 〔"0" 書込み、読み出し不定〕

Bus Width/Cacheable Register (BWCR) | ASI=0x01, Address=0x0000016c

31 … 24	23 22	21 20	19 18	17 16	15 14	13 12	11 10	9 8	7 6	5 4	3 2	1 0
Reserved	CS5	CS4	CS3	CS2	CS1	CS0	CS5	CS4	CS3	CS2	CS1	

bit31-24 : Reserved 〔"0" 書込み、読み出し不定〕
bit23, bit21, bit19, bit17, bit15, bit13 : Internal/External Cacheable (0=External, 1=Internal)
bit22, bit20, bit18, bit16, bit14, bit12 : Cacheable (0=cacheable, 1=noncacheable)
bit11-10, bit9-8, bit7-6, bit5-4, bit3-2 : Bus Width Control bit
bit1-0 : Reserved 〔"0" 書込み、読み出し不定〕

DRAM Refresh Timer Register (REFTMR) | ASI=0x01, Address=0x00000174

31	30 … 16	15 … 0
	Reserved	Timer Value

bit31 : Test Mode 〔"0" 書込み〕
bit30-16 : Reserved 〔"0" 書込み、読み出し不定〕
bit15-0 : Timer Value (RST=0xffff)

【続く】

【続き】

DRAM Refresh Timer Pre-load (ＤＲＬＤ) | ASI=0x01, Address=0x00000178

31	30 … 16	15 … 0
	Reserved	Timer Pre-load Value

bit31 : 3Cycle Mode (On=1, Off=0, RST=0)
bit30-16 : Reserved 〔“0”書込み、読み出し不定〕
bit15-0 : Timer Pre-load Value(RST=0xffff)

Ancillary Version Register (ＶＥＲ２) 【ﾘｰﾄﾞｵﾝﾘ】 | ASI=0x01, Address=0x00002000

31 … 16	15 … 0
Reserved	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

bit31-16 : Reserved 〔読み出し不定〕
bit15-0 : MB86831 Version Number (Value=0)

Sleep Mode Register (ＳＬＰＭＤ) 【ﾗｲﾄｵﾝﾘ】 | ASI=0x01, Address=0x00002004

31 … 1	0
Reserved	

bit31-1 : Reserved
bit0 : Sleep Mode (On=1, Off=0, RST=0)

6.2.4. キャッシュアクセス用レジスタのビットマップ

Instruction Tag Lock Bit (ＩＣＬＯＣＫ) | ASI=0x02, Bank1:Address=0x00000000-0x000007f8(+32), Bank2:Address=80000000-800007f8(+32)

31 … 1	0
Reserved	

bit31-1 : Reserved 〔“0”書込み、読み出し不定〕
bit0 : Entry Lock (Lock=1, Unlock=0, RST=0)

Data Tag Lock Bit (ＤＣＬＯＣＫ) | ASI=0x03, Bank1:Address=0x00000000-0x000003fc(+16), Bank2=0x80000000-0x800003fc(+16)

31 … 1	0
Reserved	

bit31-1 : Reserved 〔“0”書込み、読み出し不定〕
bit0 : Entry Lock (Lock=1, Unlock=0, RST=0)

【続く】

【続き】

Instruction Cache Tag (ＩＣＴＡＧ)	ASI=0x0c, Bank1:0x00000000-0x000007f8(+32), Bank2:0x80000000-0x800007f8(+32)

31	11	10	6	5	4	2	1	0
Address Tag								

bit31-11 : Address Tag (RST=X)
bit10-6, bit4-2 : Sub Block Valid (Valid=1, Invalid=0, RST=0)
bit5 : User／Supervisor(User=0, Supervisor=1, RST=X)
bit1 : LRU (RST=0)
bit0 : Entry Lock (Lock=1, Unlock=0, RST=0)　　X:不定

Instruction Cache Invalidate Register (ＩＣＩＮＶＬＤ) 【ﾗｲﾄｵﾝﾘ】	ASI=0x0c, Bank1:Address=0x00001000, Bank2:Address=0x80001000

31	2	1	0
Reserved			

bit31-2 : Reserved〔“0”書込み〕
bit1 : Cache LRU, Lock Bit Clear (Clear=1, Not Clear=0)
bit0 : Valid Bit Clear (Clear=1, Not Clear=0)

Instruction Cache Data RAM (ＩＣＤＡＴＡ)	ASI=0x0d, Bank1:Address=0x00000000-0x000007fc, Bank2:Address=0x80000000-0x800007fc

31	0
Data	

bit31-0 : Data (RST=X)　　X:不定

Data Cache Tag (ＤＣＴＡＧ)	ASI=0x0e, Bank1:Address=0x00000000-0x000003fc(+10), Bank2:Address=0x80000000-0x800003fc(+10)

31	10	9	6	5	4	2	1	0
Address Tag								

bit31-10 : Address Tag (RST=X)
bit9-6 : Sub Block Valid (Valid=1, Invalid=0, RST=0)
bit5 : User／Supervisor (User=1, Supervisor=0, RST=0)
bit4-2 : Reserved〔“0”書込み、読み出し不定〕
bit1 : LRU (RST=0)
bit0 : Entry Lock (Lock=1, Unlock=0, RST=0)　　X:不定

【続く】

【続き】

Data Cache Invalidate Register（ＤＣＩＮＶＬＤ）【ﾗｲﾄｵﾝﾘ】	ASI=0x0e, Bank1:Address=0x00001000, Bank2:Address=0x80001000

31	2	1	0
Reserved			

bit31-2 : Reserved〔“0”書込み〕
bit1 : Cache LRU, Lock Bit Clear (Clear=1, Not Clear=0)
bit0 : Valid Bit Clear (Clear=1, Not Clear=0)

Data Cache Data RAM（ＤＣＤＡＴＡ）	ASI=0x0f, Bank1 : Address=0x00000000-0x000003fc, Bank2:Address=0x80000000-0x800003fc

31	0
Data	

bit31-0 : Data (RST=X)　　X:不定

6.2.5.周辺リソースのレジスタのビットマップ

割り込みコントローラ

Trigger Mode0 Register（ＴＲＧＭ０） CS3#=L, Address<9：2>=0x00

31 16	15 14	13 12	11 10	9 8	7 6	5 4	3 2	1 0
Reserved	ch15	ch14	ch13	ch12	ch11	ch10	ch9	ch8

bit31-16：Reserved〔“0”書込み、読み出し不定〕
bit15-0 ：Trigger Mode(High Level=00, Low Level=01, High Edge=10, Low Edge=11, RST=00)

Trigger Mode1 Register（ＴＲＧＭ１） CS3#=L, Address<9：2>=0x01

31 16	15 14	13 12	11 10	9 8	7 6	5 4	3 2	1 0
Reserved	ch7	ch6	ch5	ch4	ch3	ch2	ch1	00

bit31-16：Reserved〔“0”書込み、読み出し不定〕
bit15-2 ：Trigger Mode(High Level=00, Low Level=01, High Edge=10, Low Edge=11, RST=00)
bit1-0 ：Reserved（“0”書込み、読み出し“0”）

Request Sense Register（ＲＥＱＳＮＳ）【ﾘｰﾄﾞｵﾝﾘ】 CS3#=L, Address<9：2>=0x02

31 16	15 1	0
Reserved	Request Sense15-1	0

bit31-16：Reserved〔“0”書込み、読み出し不定〕
bit15-1 ：Request Sense15-1 (RST=0)
bit0 ：Reserved〔“0”書込み、読み出し“0”〕

Request Clear Register（ＲＥＱＣＬＲ）【ﾗｲﾄｵﾝﾘ】 CS3#=L, Address<9：2>=0x03

31 16	15 1	0
Reserved	Request Clear15-1	0

bit31-16：Reserved〔“0”書込み〕
bit15-1 ：Request Clear15-1 (Clear=1, Not Clear=0)
bit0 ：Reserved〔“0”書込み〕

Interrupt Mask Register（ＩＭＡＳＫ） CS3#=L, Address<9：2>=0x04

31 16	15 1	0
Reserved	Mask15-1	IM

bit31-16：Reserved〔“0”書込み、読み出し不定〕
bit15-1 ：Mask15-1 (Mask=1, Not Mask=0, RST=1)
bit0 ：IRL Mask (Mask=1, Not Mask=0, RST=0)

【続く】

【続き】

IRL Latch／Clear Register（ＩＲＬＡＴ） CS3#=L, Address<9 : 2>=0x05

31 – 16	15 – 5	4	3 – 0
Reserved	Reserved	CL	IRL

bit31-16 : Reserved〔“0”書込み、読み出し不定〕
bit15-5 : Reserved〔“0”書込み、読み出し“0”〕
bit4 : IRL Clear【ライトオンリ】 (Clear=1, Not Clear=0)
bit3-0 : IRL Latch【リードオンリ】 (RST=0000)

IRC Mode Register（ＩＭＯＤＥ） CS3#=L, Address<9:2>=0x06

31 – 16	15 – 2	1 – 0
Reserved	Reserved	IRCMD

bit31-16 : Reserved〔“0”書込み、読み出し不定〕
bit15-2 : Reserved〔“0”書込み、読み出し“0”〕
bit1-0 : IRC Mode〔ＩＲＣＭＤ〕 (Disable=00, Enable=01, RST=00)

ＤＲＡＭコントローラ

DRAM Bank Configuration Register（ＤＢＡＮＫＲ） CS3#=L, Address<9:2>=0x08

31	30 – 11	10 – 9	8	7	6 – 4	3 – 0
ERR	Reserved	STADR	HE	TP	COL	BKSIZE

bit31 : Access Error〔ＥＲＲ〕 (Error=1, No Error=0, RST=0, “0” write Clear)
bit30-11 : Reserved〔“0”書込み、読み出し不定〕
bit10-9 : DRAM Start Address〔ＳＴＡＤＲ〕 (RST=01)
bit8 : Hyper Page Enable〔ＨＰ〕 (Page Mode DRAM=0, EDO DRAM=1, RST=0)
bit7 : DRAM Type〔ＴＰ〕 (4CAS-1WE=0, 4WE-1CAS=1, RST=0)
bit6-4 : Column Address〔ＣＯＬ〕 (RST=011)
bit3-0 : Bank Size〔ＢＫＳＩＺＥ〕 (RST=0011)

DRAM Timing Register（ＤＴＩＭＲ） CS3#=L, Address=0x09

31 – 5	4	3 – 2	1	0
Reserved	T_{RPS}	T_{RASCBR}	T_{CAS}	T_{RP}

bit31-5 : Reserved〔“0”書込み、読み出し不定〕
bit4 : Self-Refresh 時の RAS#プリチャージ時間指定ビット〔T_{RPS}〕 (2Cycle=0, 4Cycle=1, RST=1)
bit3-2 : CBR Refresh 時の RAS#パルス幅指定ビット〔T_{RASCBR}〕(1Cycle=00, 2Cycle=01, 3Cycle=10, RST=01)
bit1 : CAS#パルス幅指定ビット〔T_{CAS}〕 (1Cycle=0, 2Cycle=1, RST=1)
bit0 : RAS#プリチャージ幅指定ビット〔T_{RP}〕 (1Cycle=0, 2Cycle=1, RST=0)

6.3. レジスタ設定の注意

6.3.1. ＜Cache／BIU Control Register＞

・ Cache を Enable 又は Disable にする時には、Enable 又は Disable の命令の後には、必ず３命令以上のＮＯＰを挿入してください。

・ Non-Cacheable (bit9, 8) 、Cacheability Enable (bit7) はリードできません。

6.3.2. ＜Bus Control Register＞

・ Cache Enable にしてからバースト転送を Enable にしてください。また、Cache Disable にする場合には、バースト転送を Disable してください。

6.3.3. ＜System Support Control Register＞

・ Cache Enable にしてから DRAM Burst Enable にしてください。また、Cache Disable にする場合には、DRAM Burst Enable bit を Disable にしてください。

・ DRAM Burst Enable にする前に必ず Bus Control Register で Burst Enable を設定してください。

・ Same Page Enable にしてから最初の CS4 のアクセス時、SAMEPAGE#=Ｌになる場合があります。

・ Same Page 回路はバスマスタが変わっても以前のデータを保持しています。

・ Same Page Mask Register を設定してから Same Page Enable を“1”にしてください。

・ Same Page Enable (bit5) を変更する場合には、Cache Disable にしてから変更してください。

・ Address Range Specifier Register, Address Mask Register を全て設定してから CS Enable を“1”にしてください。（使用しない CS があっても必ず全ての Address Range Specifier Register, Address Mask Register を設定する必要があります）

・ CS Enable (bit4) を変更する場合には、Cache Disable にしてから変更してください。

・ Programmable Wait-state を設定する前には必ず Wait State Specifier Register を設定してください。

6.3.4. ＜Wait State Specifier Register＞

・ Wait Enable bit と Single Cycle Non Burst Mode bit を同時に“1”を設定しないでください。

・ バーストモード時、Single Cycle Non Burst Mode bit に“1”を設定した場合には、Single Cycle Burst Mode bit に関係なく 1 Cycle でレディが発生します。

・ CS3 の Wait state Specifier Register の設定は、Override bit は必ず“1”にセットしてください。（Wait Enable も“1”に設定してかまいません）

CS3 が 16bit Bus Mode の場合、Half-Word の load 命令を実行すると CPU は 2 回アクセスしますが、周辺リソースからレディが 1 回しか発生しません。そのため、2 回目のアクセスの時にハングアップしてしまいますので 2 回目のレディを発生させるために Wait Enable を“1”に設定してください。（2 回目に受け取ったデータは CPU 内で捨てられます）

6.3.5. ＜Bus Width／Cacheable Register＞

・ DRAM Controller Enable の場合、CS4#=Ｌの時、CS5 を Non-Cache 信号として扱います。

・ DRAM Controller Enable の場合，CS5 のバス幅は CS4 のバス幅設定に従います。例えば、CS4 の Bus Width Control bit が $(10)_2$ に設定されていれば、強制的に CS5 も $(10)_2$ になります。

・ CS3 の Bus Width は 16 又は 32bit バスのみ設定可能です。16bit bus を設定した場合には、Half-Word load（Address は“０”）又は Half-Word Store（Address は“０”）で割り込みコントローラ、ＤＲＡＭコントローラのレジスタをアクセスしてください。

6.3.6. ＜DRAM Refresh Timer Register＞

・ Test Mode bit は必ず“0”を設定してください。TOVF#が“L”にならないことがあります。

・ Timer をカウントするクロックは外部クロックになっていますので逓倍回路に影響されません

6.3.7. ＜Sleep Mode Register＞

・ Sleep Mode を設定する場合には、Cache を Disable にしてください。

・ Sleep Mode を設定する命令の後には、３命令以上のＮＯＰを挿入してください。

6.3.8. ＜Trigger Mode Register＞

・ Interrupt Mask Register に (ffff) $_{16}$ を設定してから Trigger Mode を変更してください。

・ Trigger Mode 変更時に Request Sense Register に“1”がセットされている可能性がありますので割り込みマスク解除する前に Request Clear を発行してください。

割り込みコントローラ，ＤＲＡＭコントローラのレジスタは CS3#=“L”にならなければ、アクセスできません。

7. バスインタフェース

7.1. クロック逓倍回路と外部バスタイミング

本 CPU は、クロックの逓倍回路をもっており、設定により、CPU 内部は外部バスクロックの×1、×2、×3、×4 のいずれかの周波数で動作します。一方、クロックの選択がいずれの場合であっても外部バスタイミングは外部バスクロックである CLKIN に同期した動作となります。図 1、図 2、図 3、図 4はそれぞれ、内部クロックが外部クロックの 1 倍、2 倍、3 倍、4 倍でキャッシュ ON、プリフェッチバッファ ON で動作する場合の一例を示しています。クロックが×2〜4 の場合にキャッシュがミスヒットした場合には、外部バスクロック CLKIN の立ち上がりを待って、外部へのアクセスを開始します。ただし、これは外部バスが使用されていない場合であり、外部バスがプリフェッチバッファやライトバッファによりすでに占有されている場合には、さらにウエイトがかかります。

7.2. データフォーマット

本 CPU はビッグエンディアン方式を採用しているので BE0#は D<31：24>を、BE1#は D<23：16>を、 BE2#は D<15：7>を、BE3#は D<7：0>を制御しています（16ﾋﾞｯﾄﾊﾞｽﾓｰﾄﾞ、８ﾋﾞｯﾄﾊﾞｽﾓｰﾄﾞの場合、一部異なる場合があります）。リトルエンディアン方式の CPU とのデータのやりとりを行う場合、以下のようにデータを変換しなければいけません。

【Byteｱｸｾｽ(32ﾋﾞｯﾄﾊﾞｽﾓｰﾄﾞ)】

アドレス	SPARClite(ﾋﾞｯｸｴﾝﾃﾞｨｱﾝ)		ﾘﾄﾙｴﾝﾃﾞｨｱﾝ	
	BE0#-BE3#	データバス	BE0#-BE3#	データバス
0	BE0#	D<31：24>	BE0#	D<7：0>
1	BE1#	D<23：16>	BE1#	D<15：8>
2	BE2#	D<15：8>	BE2#	D<23：16>
3	BE3#	D<7：0>	BE3#	D<31：24>

【Half-wordｱｸｾｽ(32ﾋﾞｯﾄﾊﾞｽﾓｰﾄﾞ)】

アドレス	SPARClite(ﾋﾞｯｸｴﾝﾃﾞｨｱﾝ)		ﾘﾄﾙｴﾝﾃﾞｨｱﾝ	
	BE0#-BE3#	データバス	BE0#-BE3#	データバス
0	BE0#, BE1#	D<31：16>	BE0#, BE1#	D<15：0>
2	BE2#, BE3#	D<15：0>	BE2#, BE3#	D<31：16>

【wordｱｸｾｽ(32ﾋﾞｯﾄﾊﾞｽﾓｰﾄﾞ)】

アドレス	SPARClite(ﾋﾞｯｸｴﾝﾃﾞｨｱﾝ)		ﾘﾄﾙｴﾝﾃﾞｨｱﾝ	
	BE0#-BE3#	データバス	BE0#-BE3#	データバス
0	BE0#-BE3#	D<31：0>	BE0#-BE3#	D<31：0>

7.3. 8 ビット、16 ビットバスモード

本 CPU は、8 ビット、16 ビットバスをサポートしています。CS0#のバスモードは端子 BMODE8#, BMODE16#で、CS1#－CS5#のバスモードは Bus Width／Cacheable Register で設定できます。設定は以下のようになります。

表2 CS0#バスモード設定

端子		CS0#バスモード
BMODE8#	BMODE16#	
0	0	設定不可
0	1	8 ビットバス
1	0	16 ビットバス
1	1	32 ビットバス

・Bus Width／Cacheable Register (ASI=0x01, Address=0x0000016c)

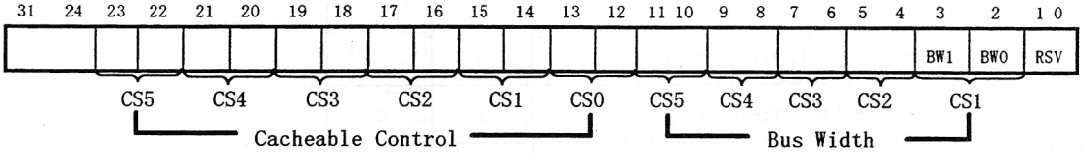


表3 CS1#－CS5#のバスモード設定

BW1	BW0	CS1#－CS5#のバスモード
0	0	32 ビットバス
0	1	8 ビットバス
1	0	16 ビットバス
1	1	設定不可

CS3#領域には、CPU に内蔵されている割り込みコントローラ、DRAM コントローラのレジスタが割り付けられているため、CS3#は８ビットバスモードに設定することは禁止になっています。また、16 ビットバスモードに設定した場合には、割り込みコントローラ、DRAM コントローラへのアクセスは 32 ビットアクセスしか対応していませんので Half－Word Load 及び Half－Word Store で Address〈1：0〉＝0 でアクセスし、Half－Word Load を実行すると、32 ビットアクセスするため、16 ビットで２回アクセスされます。ところが、割り込みコントローラ、DRAM コントローラから出力されるレディは１回なので Wait State Specifier Register の Wait Enable bit を“1”、Override を“1”に設定すれば、CPU へは 2 回、レディが入力され正常に動作します。（２回目のデータは捨てられます）

System Support Control Register の DRAM controller enable bit を“1”に設定すると CS5#のバス幅は CS4#と同じになりますので注意が必要です。

バスモードによるアクセス、BE3#-BE0#、内部レジスタ、外部バスの関係を以下に示します。

	31 24	23 16	15 8	7 0
内部レジスタ	A	B	C	D

バスモード	ﾘｰﾄﾞ/ﾗｲﾄ	アクセス	D<31：24>	D<23：16>	D<15：8>	D<7：0>	BE0#	BE1#	BE2#	BE3#
32ﾋﾞｯﾄ	ﾘｰﾄﾞ/ﾗｲﾄ	Word	A	B	C	D	0	0	0	0
	ﾗｲﾄ	Half-Word(ｱﾄﾞﾚｽ 0)	C	D	－	－	0	0	1	1
	ﾘｰﾄﾞ						0	0	0	0
	ﾗｲﾄ	Half-Word(ｱﾄﾞﾚｽ 2)	－	－	C	D	1	1	0	0
	ﾘｰﾄﾞ						0	0	0	0
	ﾗｲﾄ	Byte0(ｱﾄﾞﾚｽ 0)	D	－	－	－	0	1	1	1
	ﾘｰﾄﾞ						0	0	0	0
	ﾗｲﾄ	Byte1(ｱﾄﾞﾚｽ 1)	－	D	－	－	1	0	1	1
	ﾘｰﾄﾞ						0	0	0	0
	ﾗｲﾄ	Byte2(ｱﾄﾞﾚｽ 2)	－	－	D	－	1	1	0	1
	ﾘｰﾄﾞ						0	0	0	0
	ﾗｲﾄ	Byte3(ｱﾄﾞﾚｽ 3)	－	－	－	D	1	1	1	0
	ﾘｰﾄﾞ						0	0	0	0

“－”は無効データを示します。但し、キャッシュには、リード時“－”のデータも格納されます。

【次ページへ続く】

【前ページの続き】

バスモード	ﾘｰﾄﾞ/ﾗｲﾄ	アクセス	D<31：24>	D<23：16>	D<15：8>	D<7：0>	BE0#	BE1#	BE2#	BE3#
16ﾋﾞｯﾄ	ﾗｲﾄ	Word(ｱｸｾｽ0:ｱﾄﾞﾚｽ 2)	−	−	C	D	0	0	1	0
		Word(ｱｸｾｽ1:ｱﾄﾞﾚｽ 0)	−	−	A	B	0	0	0	0
	ﾘｰﾄﾞ	Word(ｱｸｾｽ0:ｱﾄﾞﾚｽ 0)	-	−	A	B	0	0	0	0
		Word(ｱｸｾｽ1:ｱﾄﾞﾚｽ 2)	−	−	C	D	0	0	1	0
	ﾗｲﾄ	Half-Word(ｱﾄﾞﾚｽ 0)	−	−	C	D	0	0	0	0
	ﾘｰﾄﾞ	Half-Word (ｱｸｾｽ0:ｱﾄﾞﾚｽ 0)	−	−	C	D	0	0	0	0
		Half-Word (ｱｸｾｽ1:ｱﾄﾞﾚｽ 0)	−	−	−	−	0	0	1	0
	ﾗｲﾄ	Half-Word(ｱﾄﾞﾚｽ 2)	−	−	C	D	0	0	1	0
	ﾘｰﾄﾞ	Half-Word (ｱｸｾｽ0:ｱﾄﾞﾚｽ 2)	−	−	−	−	0	0	0	0
		Half-Word (ｱｸｾｽ1:ｱﾄﾞﾚｽ 2)	−	−	C	D	0	0	1	0
	ﾗｲﾄ	Byte0(ｱﾄﾞﾚｽ 0)	−	−	D	−	1	0	0	0
	ﾘｰﾄﾞ	Byte0(ｱｸｾｽ0:ｱﾄﾞﾚｽ 0)	−	−	D	−	0	0	0	0
		Byte0(ｱｸｾｽ1:ｱﾄﾞﾚｽ 0)	−	−	−	−	0	0	1	0
	ﾗｲﾄ	Byte1(ｱﾄﾞﾚｽ 1)	−	−	−	D	0	1	0	0
	ﾘｰﾄﾞ	Byte1(ｱｸｾｽ0:ｱﾄﾞﾚｽ 1)	−	−	−	D	0	0	0	0
		Byte1(ｱｸｾｽ1:ｱﾄﾞﾚｽ 1)	−	−	−	−	0	0	1	0
	ﾗｲﾄ	Byte2(ｱﾄﾞﾚｽ 2)	−	−	D	−	1	0	1	0
	ﾘｰﾄﾞ	Byte2(ｱｸｾｽ0:ｱﾄﾞﾚｽ 2)	−	−	−	−	0	0	0	0
		Byte2(ｱｸｾｽ1:ｱﾄﾞﾚｽ 2)	−	−	D	−	0	0	1	0
	ﾗｲﾄ	Byte3(ｱﾄﾞﾚｽ 3)	−	−	−	D	0	1	1	0
	ﾘｰﾄﾞ	Byte2(ｱｸｾｽ0:ｱﾄﾞﾚｽ 3)	−	−	−	−	0	0	0	0
		Byte2(ｱｸｾｽ1:ｱﾄﾞﾚｽ 3)	−	−	−	D	0	0	1	0

“-”は無効データを示します。但し、キャッシュには、リード時“-”のデータも格納されます。

【次ページへ続く】

【前ページの続き】

バスモード	ﾘｰﾄﾞ/ﾗｲﾄ	アクセス	D<31：24>	D<23：16>	D<15：8>	D<7：0>	BE0#	BE1#	BE2#	BE3#
8ﾋﾞｯﾄ	ﾗｲﾄ	Word(ｱｸｾｽ0)	−	−	−	D	X	X	1	1
		Word(ｱｸｾｽ1)	−	−	−	C	X	X	1	0
		Word(ｱｸｾｽ2)	−	−	−	B	X	X	0	1
		Word(ｱｸｾｽ3)	−	−	−	A	X	X	0	0
	ﾘｰﾄﾞ	Word(ｱｸｾｽ0)	−	−	−	A	X	X	0	0
		Word(ｱｸｾｽ1)	−	−	−	B	X	X	0	1
		Word(ｱｸｾｽ2)	−	−	−	C	X	X	1	0
		Word(ｱｸｾｽ3)	−	−	−	D	X	X	1	1
	ﾗｲﾄ	Half-Word (ｱｸｾｽ0:ｱﾄﾞﾚｽ 0)	−	−	−	D	X	X	0	1
		Half-Word (ｱｸｾｽ1:ｱﾄﾞﾚｽ 0)	−	−	−	C	X	X	0	0
	ﾘｰﾄﾞ	Half-Word (ｱｸｾｽ0:ｱﾄﾞﾚｽ 0)	−	−	−	C	X	X	0	0
		Half-Word (ｱｸｾｽ1:ｱﾄﾞﾚｽ 0)	−	−	−	D	X	X	0	1
		Half-Word (ｱｸｾｽ2:ｱﾄﾞﾚｽ 0)	−	−	−	−	X	X	1	0
		Half-Word (ｱｸｾｽ3:ｱﾄﾞﾚｽ 0)	−	−	−	−	X	X	1	1
	ﾗｲﾄ	Half-Word (ｱｸｾｽ0:ｱﾄﾞﾚｽ 2)	−	−	−	D	X	X	1	1
		Half-Word (ｱｸｾｽ1:ｱﾄﾞﾚｽ 2)	−	−	−	C	X	X	1	0
	ﾘｰﾄﾞ	Half-Word (ｱｸｾｽ0:ｱﾄﾞﾚｽ 2)	−	−	−	−	X	X	0	0
		Half-Word (ｱｸｾｽ1:ｱﾄﾞﾚｽ 2)	−	−	−	−	X	X	0	1
		Half-Word (ｱｸｾｽ2:ｱﾄﾞﾚｽ 2)	−	−	−	C	X	X	1	0
		Half-Word (ｱｸｾｽ3:ｱﾄﾞﾚｽ 2)	−	−	−	D	X	X	1	1

“−” は無効データを示します。但し、キャッシュには、リード時“−”のデータも格納されます。

【次ページへ続く】

【前ページの続き】

バスモード	ﾘｰﾄﾞ/ﾗｲﾄ	アクセス	D<31：24>	D<23：16>	D<15：8>	D<7：0>	BE0#	BE1#	BE2#	BE3#
8ﾋﾞｯﾄ	ﾗｲﾄ	Byte0 (ｱﾄﾞﾚｽ 0)	−	−	−	D	X	X	0	0
	ﾘｰﾄﾞ	Byte0(ｱｸｾｽ0:ｱﾄﾞﾚｽ 0)	−	−	−	D	X	X	0	0
		Byte0(ｱｸｾｽ1:ｱﾄﾞﾚｽ 0)	−	−	−	−	X	X	0	1
		Byte0(ｱｸｾｽ2:ｱﾄﾞﾚｽ 0)	−	−	−	−	X	X	1	0
		Byte0(ｱｸｾｽ3:ｱﾄﾞﾚｽ 0)	−	−	−	−	X	X	1	1
	ﾗｲﾄ	Byte1 (ｱﾄﾞﾚｽ 1)	−	−	−	D	X	X	0	1
	ﾘｰﾄﾞ	Byte1(ｱｸｾｽ0:ｱﾄﾞﾚｽ 1)	−	−	−	−	X	X	0	0
		Byte1(ｱｸｾｽ1:ｱﾄﾞﾚｽ 1)	−	−	−	D	X	X	0	1
		Byte1(ｱｸｾｽ2:ｱﾄﾞﾚｽ 1)	−	−	−	−	X	X	1	0
		Byte1(ｱｸｾｽ3:ｱﾄﾞﾚｽ 1)	−	−	−	−	X	X	1	1
	ﾗｲﾄ	Byte2 (ｱﾄﾞﾚｽ 2)	−	−	−	D	X	X	1	0
	ﾘｰﾄﾞ	Byte2(ｱｸｾｽ0:ｱﾄﾞﾚｽ 2)	−	−	−	−	X	X	0	0
		Byte2(ｱｸｾｽ1:ｱﾄﾞﾚｽ 2)	−	−	−	−	X	X	0	1
		Byte2(ｱｸｾｽ2:ｱﾄﾞﾚｽ 2)	−	−	−	D	X	X	1	0
		Byte2(ｱｸｾｽ3:ｱﾄﾞﾚｽ 2)	−	−	−	−	X	X	1	1
	ﾗｲﾄ	Byte3 (ｱﾄﾞﾚｽ 3)	−	−	−	D	X	X	1	1
	ﾘｰﾄﾞ	Byte3(ｱｸｾｽ0:ｱﾄﾞﾚｽ 3)	−	−	−	−	X	X	0	0
		Byte3(ｱｸｾｽ1:ｱﾄﾞﾚｽ 3)	−	−	−	−	X	X	0	1
		Byte3(ｱｸｾｽ2:ｱﾄﾞﾚｽ 3)	−	−	−	−	X	X	1	0
		Byte3(ｱｸｾｽ3:ｱﾄﾞﾚｽ 3)	−	−	−	D	X	X	1	1

“−” は無効データを示します。但し、キャッシュには、リード時 “−” のデータも格納されます。

■リードタイミング

本 CPU は、リード時には必ず 32 ビット(ワード)データをメモリからロードする構成になっています。これはキャッシュのバリッド/インバリッドの管理をワード単位で行うためであり、データキャッシュミス時のデータタイプがバイトやハーフワードであってもキャッシュへはワードデータとして読み込み、バリッドビットに“1”をセットします。8 ビットバスの場合には、ロードされるデータのタイプがバイト/ハーフワード/ワードのいずれであっても 1 発の AS#に対して、8 ビットデータを 4 回入力する必要がありますし、16 ビットバスの場合には、1 発の AS#に対して、16 ビットデータを 2 回入力する必要があります。

図 5、図 6に 8 ビットバス幅および 16 ビットバス幅でのリードタイミングの例を示します。

■ライトタイミング

図 7、図 8に 8 ビットバス幅および 16 ビットバス幅でのライトタイミングの例を示します。

リードの場合と異なり、ライトの場合は必要なデータのみを出力します。すなわち、8 ビットバス幅でもデータタイプがバイトの場合にはAS#出力 1発と対応するREADY#入力1発でライトが完了しますし、16 ビットバス幅の時には、データがバイトあるいはハーフワードであれば 1 発の AS#と 1 発の READY#の 1 バスサイクルで動作が完了します。

ライト時、BE2#および BE3#は、ADR<1>および ADR<0>を出力します。

BE0#および BE1#は、8 ビットバス幅時には不要であり、出力は保証されません。16 ビットバス幅時、BE0#および BE1#は有効なバイトを示します。ただし、32 ビットバス幅の時と対応するバイトが異なるので注意してください。

16 ビットバス時の BE とデータバスの対応

BE0#	D<7:0> -- バイト 3 or バイト 1
BE1#	D<15:8> -- バイト 2 or バイト 0

32 ビットバス時の BE とデータバスの対応

BE0#	D<31:24> -- バイト 0
BE1#	D<23:16> -- バイト 1
BE2#	D<15:8> -- バイト 2
BE3#	D<7:0> -- バイト 3

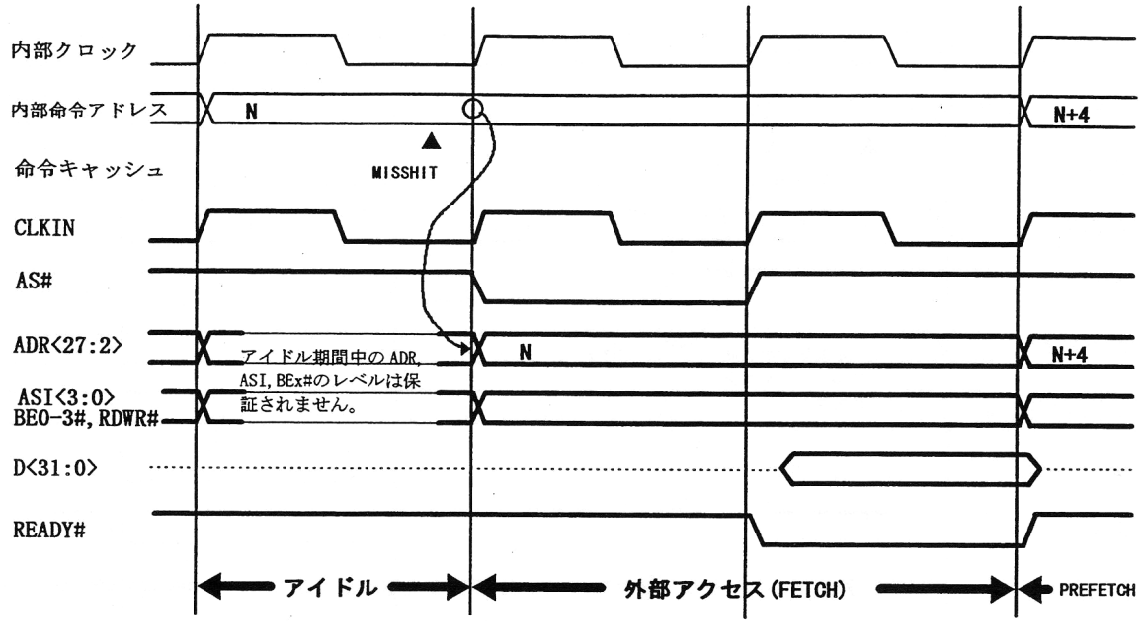


図1　×1倍クロックの場合のタイミング例(キャッシュ-ON,プリフェッチ-ON)

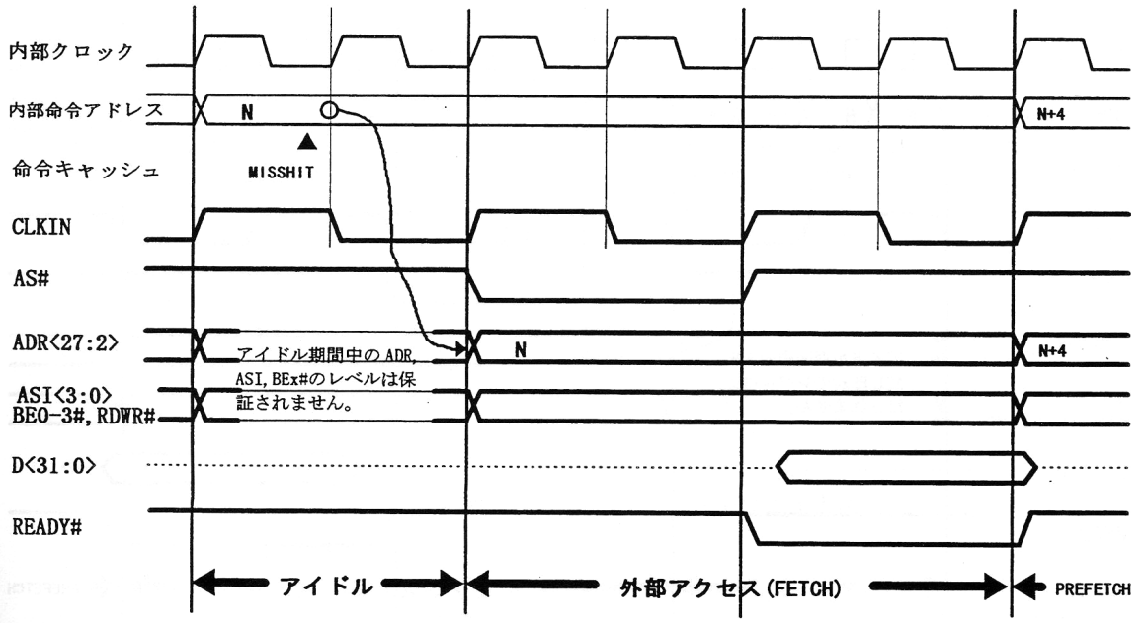


図2　×2倍クロックの場合のタイミング例(キャッシュ-ON,プリフェッチ-ON)

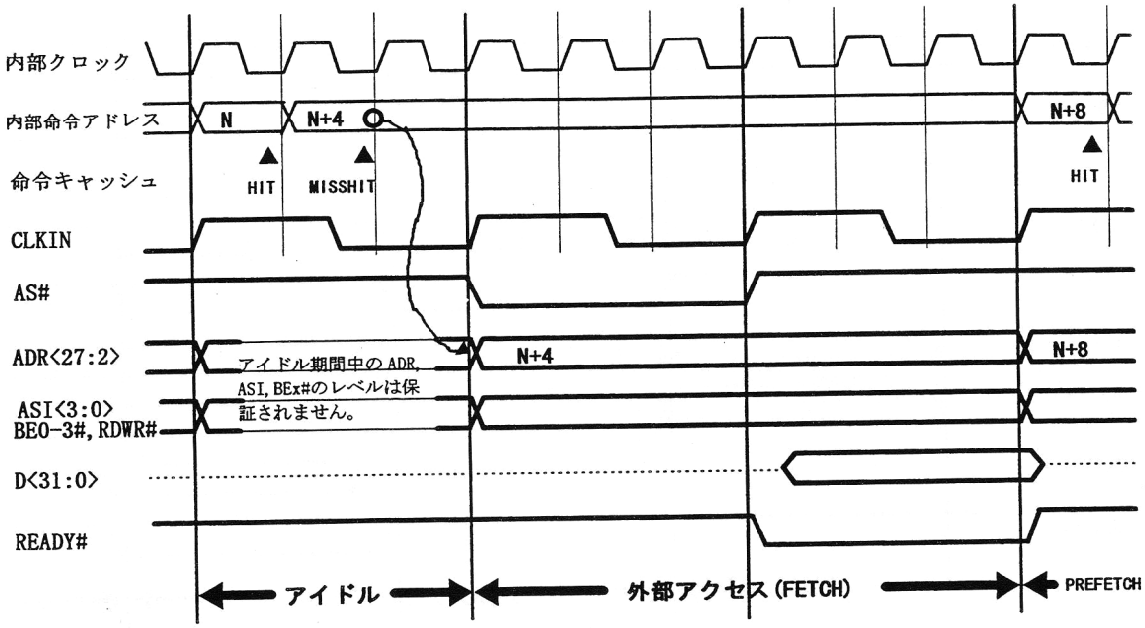


図3　×3倍クロックの場合のタイミング例(キャッシュ-ON,プリフェッチ-ON)

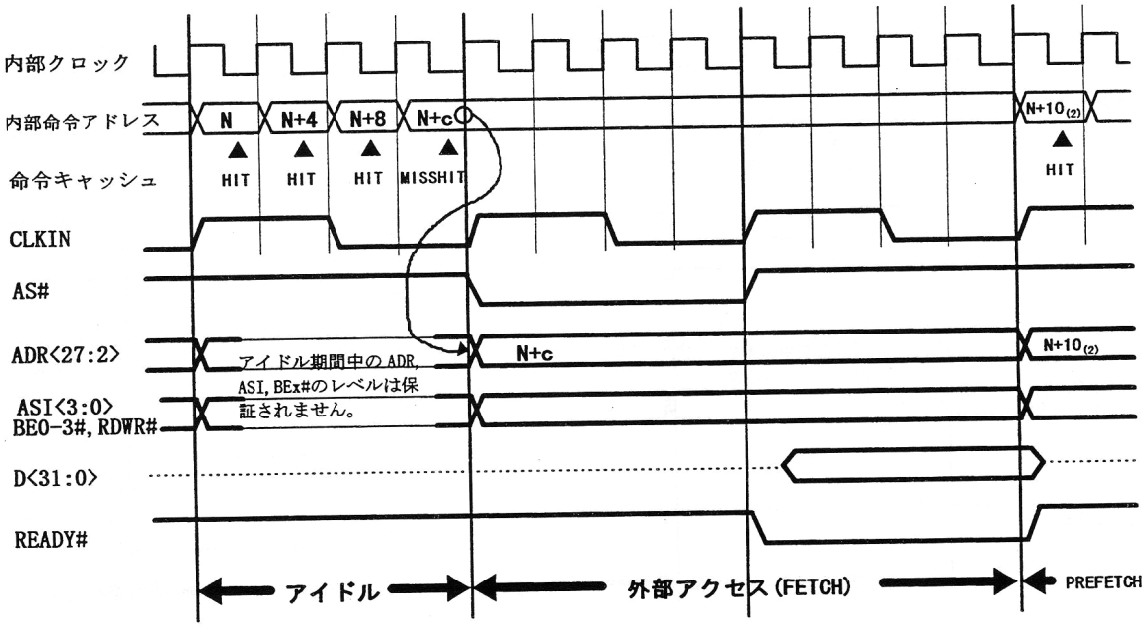


図4　×4倍クロックの場合のタイミング例(キャッシュ-ON,プリフェッチ-ON)

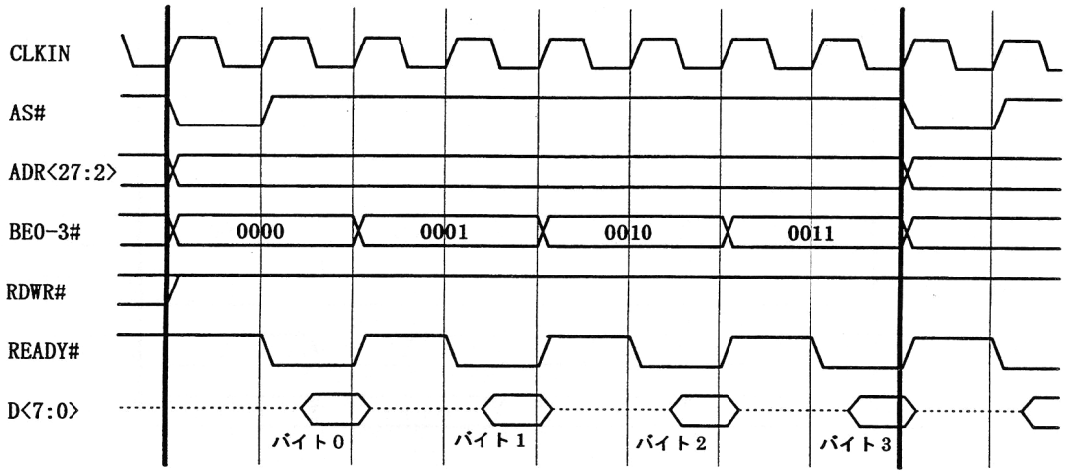


図5　8ビットバス幅時のリードタイミング(1ウエイト時)

8ビットバス幅時のリード

図5は8ビットバス幅の場合のリードの例を示しています。データバス端子のうちD<7:0>を使用します。AS# 1発に対して4回の8ビットデータを入力し、READY#も4発入力する必要があります。BE2#およびBE3#は、ADR<1>およびADR<0>を出力します。BE0#およびBE1#は、常に"0"を出力します。リードは、バイト0、バイト1、バイト2、バイト3の順番で読み込まれます。

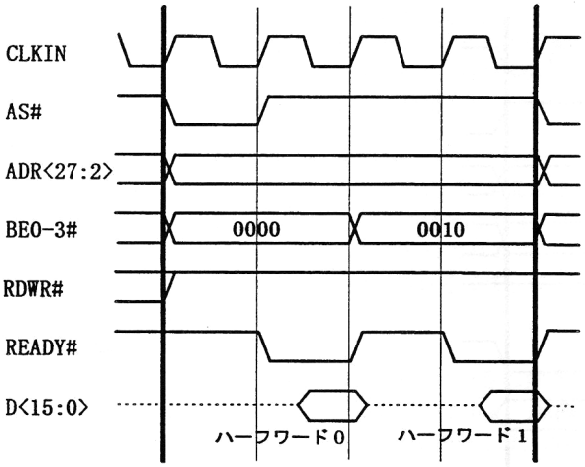


図6　16ビットバス幅時のリードタイミング(1ウエイト時)

16ビットバス幅時のリード

図6は16ビットバス幅の場合のリードの例を示しています。データバス端子のうちD<15:0>を使用します。AS# 1発に対して2回の16ビットデータを入力し、READY#も2発入力する必要があります。BE2#およびBE3#は、ADR<1>およびADR<0>を出力します。BE0#およびBE1#は、常に"0"を出力します。リードは、ハーフワード0、ハーフワード1の順番で読み込まれます。

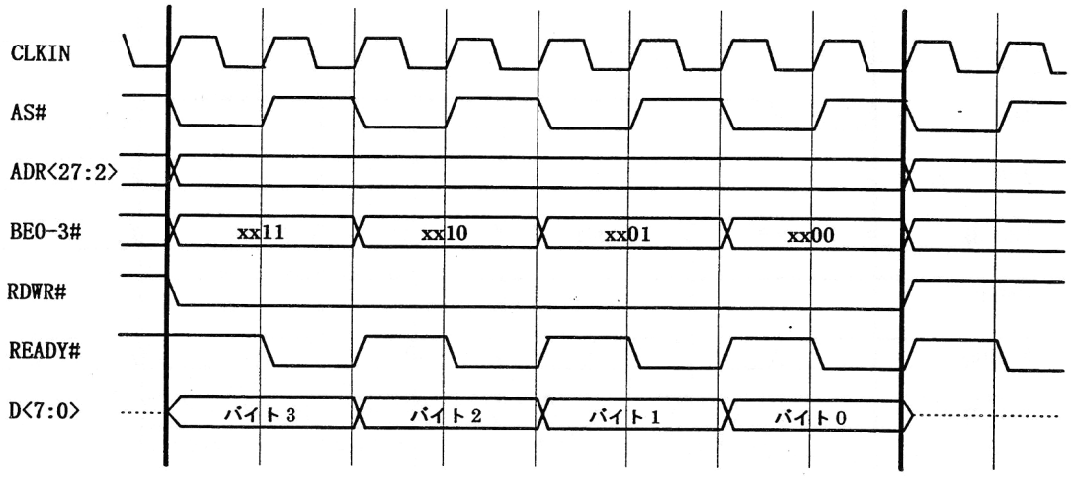


図7　8ビットバス幅時のワードデータライトタイミング(1ウエイト時)

8ビットバス幅時のライト

図7は8ビットバス幅の場合のワードデータのライトの例を示しています。データバス端子のうちD<7:0>を使用します。リードの場合と異なり、ライトの場合は1つのバイトデータに対して1発のAS#がアサートされ、READY#も1発入力されます。また、ストアされるデータのタイプによりAS#の回数が変化します。バイトデータの場合にはAS#1発、ハーフワードの場合にはAS# 2発、ワードデータの場合にはAS# 4発が出力されます。出力されるデータの順番もリードの場合と異なり、バイト3、2、1、0の順となります。

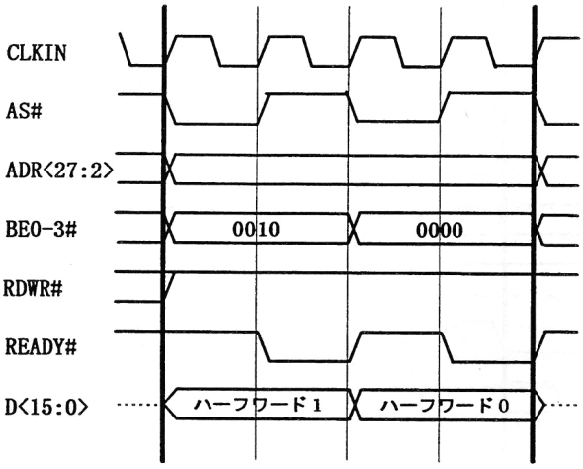


図8　16ビットバス幅時のワードデータライトタイミング(1ウエイト時)

16ビットバス幅時のライト

図8は16ビットバス幅の場合のワードデータのライトの例を示しています。データバス端子のうちD<15:0>を使用します。リードの場合と異なり、ライトの場合は1つのハーフワードデータに対して1発のAS#がアサートされ、READY#も1発入力されます。また、ストアされるデータのタイプによりAS#の回数が変化します。バイトデータのおよびハーフワードの場合にはAS# 1発、ワードデータの場合にはAS# 2発が出力されます。出力されるデータの順番もリードの場合と異なり、ハーフワード1、0の順となります。

7.4. 外部バスマスタサポート機能

バスリクエストが入力されると CPU はバストランザクションの終了を待ってバスグラントをアサートし、バスを開放します。この時、各端子は以下の状態になります。

AS#	バスグラント時、High-Z(入力)となります。
RDWR#	バスグラント時、High-Z(入力)となります。
ASI<3:0>	バスグラント時、High-Z(入力)となります。ASI<3:0>の入力時、CPU 内部では ASI<7:4>を 0 として扱います。
ADR<27:2>	バスグラント時、High-Z(入力)となります。DRAM コントローラがイネーブルであれば、AS#がアサートされた時に入力されたアドレスを CPU がいったん取り込んだ後、ADR<27:2>端子に出力します。アドレスおよび ASI が DRAM 領域を示している場合には、DRAM アクセス用にマルチプレクスしたアドレスを出力します。 外部バスマスタの ADR 駆動から CPU が駆動するまでにアイドルサイクルは挿入されませんが、CPU の最初の出力は外部からの入力と同一レベルを出力します。 DRAM コントローラがディセーブルの場合には、バスグラント時には、ADR<27:2>は High-Z のままです。ADR<27:2>入力時、ADR<31:28>は CPU 内部で 0 として扱われます。
D<31:0>	バスグラント時、High-Z となります。
BE0-3#	バスグラント時、High-Z となります。DRAM コントローラが ON でかつ 16 ビットバス幅を使用する場合には BE2#が ADR<1>を入力するための端子となります。
CS0-5#	バスグラント時でも出力のままです。AS#アサート時に取り込んだアドレスおよび ASI が CS 領域に対応している場合には CS 端子をアサートし、外部の READY#あるいは内部 READY がアサートされるまで継続します。
RAS0-3# CAS0-3# DWE0-3#	バスグラント時でも出力のままです。AS#アサート時に取り込んだアドレスおよび ASI が DRAM 領域を示している場合には、RAS/CAS 制御されます。また、バスグラント時でもリフレッシュは同様に行われます。
SAMEPAGE#	バスグラントになっても以前アクセスしたアドレスは保持されたままです。バスグラント時の動作タイミングは CS0-CS5#と同じです。
RDYOUT#	バスグラントされているかどうかにかかわらず、RDYOUT#端子には内部で生成される READY と READY#端子からの入力が合成された信号が出力されます。

チップセレクト

バスグラント中に外部バスマスタが AS#をアサートすると、CPU はクロックの立ち上がりでアドレスおよび ASI を取り込み、対応するチップセレクトをアサートします。この後、READY#が入力されるまで、CS をアサートしつづけます。内部のウエイトステート生成がイネーブルの時にはチップ内部で READY が生成されるまで、CS をアサートし続けます。

DRAM コントローラ

バスグラント時でも DRAM コントローラは動作を継続します。すなわちリフレッシュ要求がある場合には CBR リフレッシュを行いますし、DRAMC がイネーブルでかつ、入力された ASI およびアドレスが DRAM 領域を示している場合には、CPU はアドレス信号を取り込んだ後、ロウアドレス、コラムアドレスの順に出力し、RAS、CAS の制御を行います。また、同一ページヒット検出を行い、ヒット時には、コラムアドレスのみが出力されます。

DRAMC が ON でかつ、16 ビットバス幅を使用している場合には、BE2#が ADR<1>の入力端子となり、AS#のタイミングで CPU が取り込んだ後、ADR<13:2>端子に DRAM アドレスとして、マルチプレクスして出力します。

DRAM バーストモードイネーブルであっても外部バスマスタ動作時には転送は、シングル転送となります。したがって、ハイパページモード DRAM を使用する場合もシングル転送となります。

外部バスマスタによるバスサイクル開始タイミングについて

外部バスマスタは、論理的にはCPUがRDYOUT#をアサートした次のサイクルにAS#およびADRバスをアサートしてバスサイクルを開始することは可能ですが、CPUのアドレスバス駆動と外部バスマスタの駆動の衝突を避けるためにRDYOUT#がアサートされた後、1サイクル空けて次のアドレスバスの駆動を開始してください。

DRAMコントローラがディセーブルの時にはCPUはアドレスバスを駆動しないのでRDYOUT#がアサートされた次のサイクルからバスサイクルを開始することが可能です。

■外部バスマスタ動作時のタイミング(DRAMCイネーブル時)

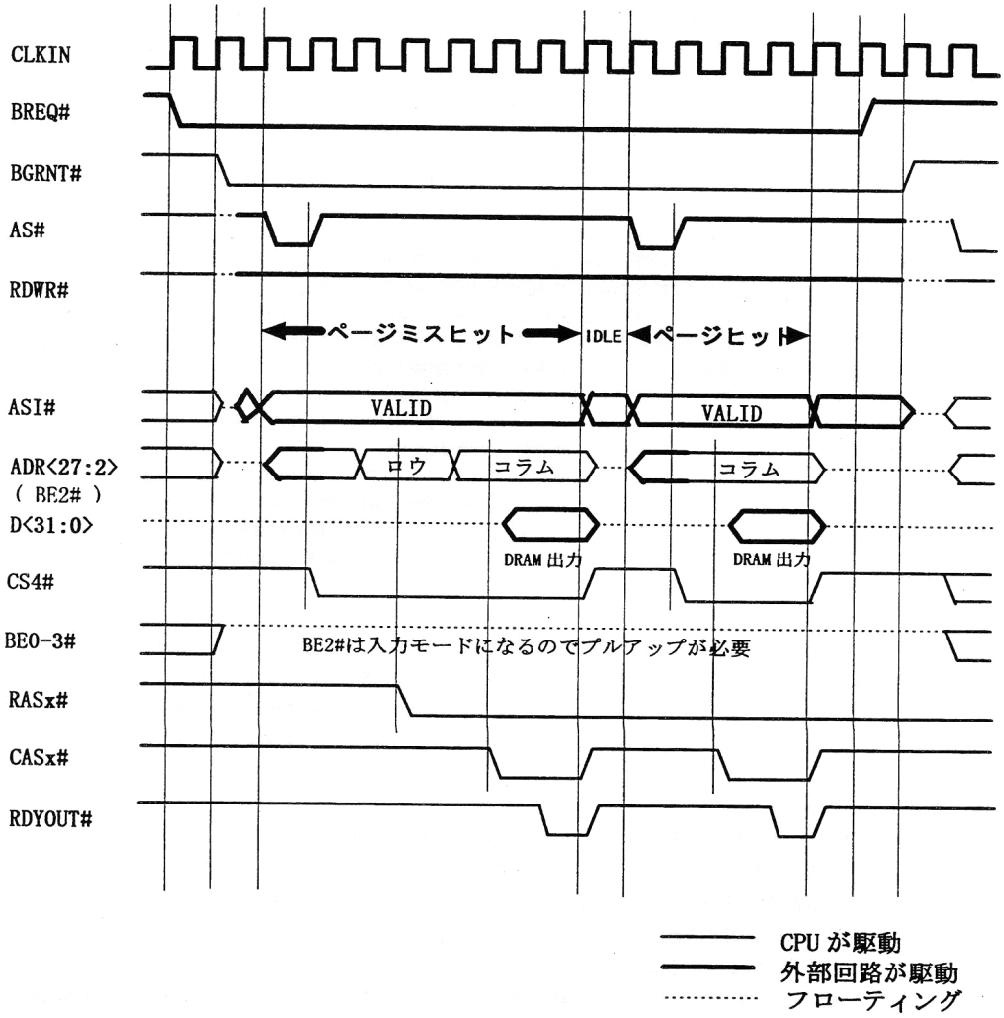


図9　DRAMリード時のタイミング例

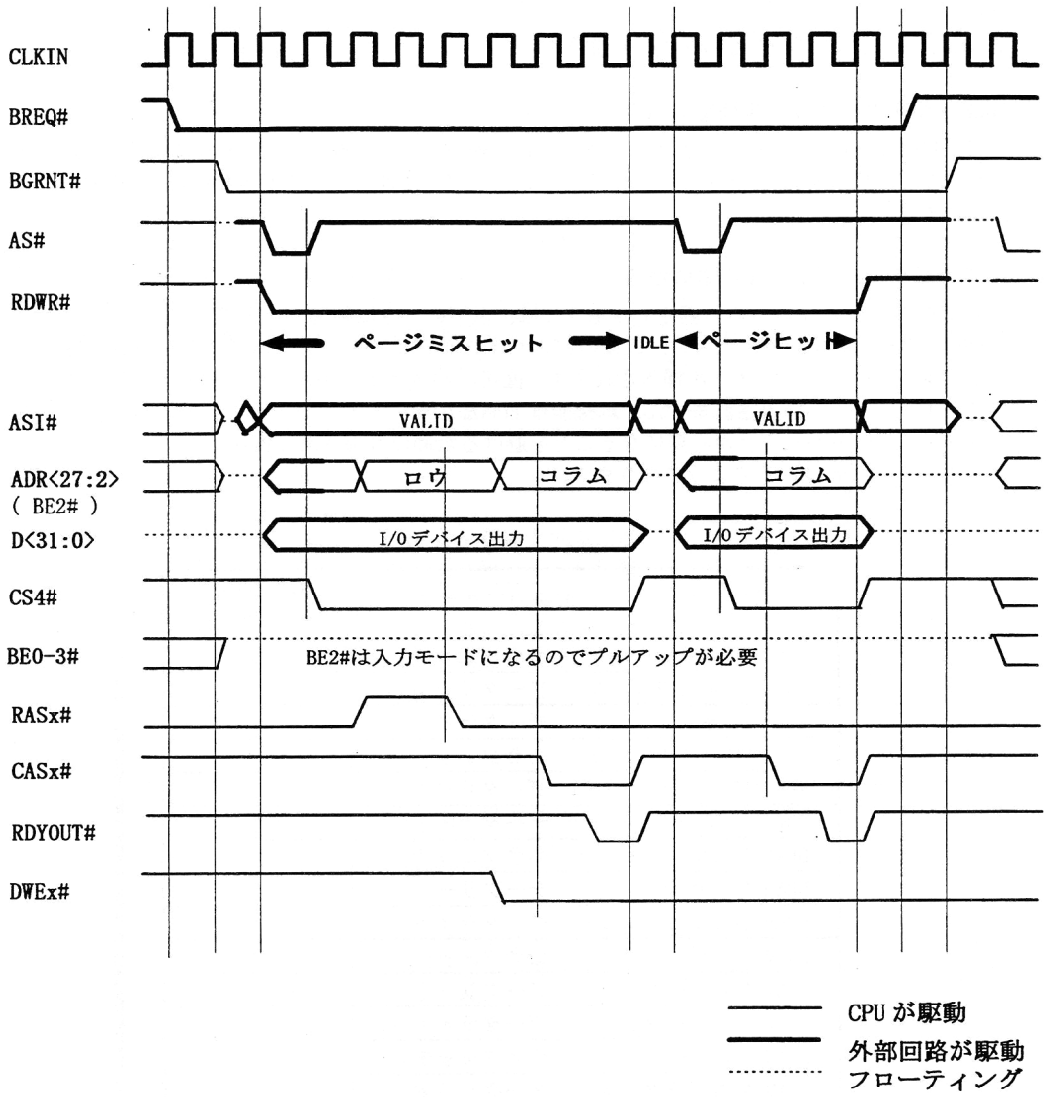


図10　DRAM ライト時のタイミング例

7.5. アイドルサイクル挿入機能

IDLEEN 端子がロウレベル固定の場合

IDLEEN 端子をロウレベルに固定した場合には、命令フェッチやデータリードサイクル(メモリからのリード)直後にライトサイクルがくる場合にはアイドルサイクルが自動的に 1 サイクル挿入されます。

IDLEEN 端子がハイレベル固定の場合

IDLEEN 端子をハイレベルに固定した場合には、以下のように制御されます。

CS0#(ROM)領域をアクセスした直後のバスサイクルがライトあるいはデータリードの時にはアイドルサイクルが 2 サイクル挿入されます。直後のバスサイクルが命令フェッチである場合はアイドルサイクルが挿入されません。本機能は EPROM のデータバス出力オフタイムが大きいためにトライステートバッファが必要になることを避けるために付加された機能です。

主な組み合わせは以下のようになります。

表4　アイドルサイクル挿入数

現行のサイクル / 直後のアクセス		挿入される アイドルサイクル
ROM から命令フェッチ	命令フェッチ	0
ROM から命令フェッチ	データリード	2
ROM から命令フェッチ	データライト	2
ROM からデータリード	命令フェッチ	0
ROM からデータリード	データリード	2
ROM からデータリード	データライト	2
DRAM から命令フェッチ	命令フェッチ	0
DRAM から命令フェッチ	データリード	0
DRAM から命令フェッチ	データライト	1
DRAM からデータリード	命令フェッチ	0
DRAM からデータリード	データリード	1
DRAM からデータリード	データライト	1
DRAM からデータライト	命令フェッチ	0
DRAM からデータライト	データリード	1
DRAM からデータライト	データライト	1

8. プログラマブルチップセレクトとウエイトステート生成回路

8.1. プログラマブルチップセレクト

本 CPU コアは、プログラマブルチップセレクトを 6 本内蔵し、それらに対応したウエイトステート生成回路を内蔵します。チップセレクトの領域設定は可変ですが、互いの領域が重ならないように設定する必要があります。また、各チップセレクトは、表 5のように用途がある程度、限定されています。

チップセレクトの領域設定およびウエイトステートの設定は、キャッシュがオフの状態で行う必要があります。キャッシュオンでライトバッファが動作している場合にこの設定を変化させると外部バスインタフェースが正常に機能しなくなる可能性があります。基本的に、ARSR(Address Range Specifier Register)、AMR(Address Mask Register)、SPGMR(Same Page Mask Register)、WSSR(Wait State Specifier Register)の設定は、システムの初期設定プログラム内で行うものとし、アプリケーションプログラム内では固定して使用してください。

表5　チップセレクトの用途

CS0#	ブート ROM 領域
CS1#	汎用
CS2#	汎用
CS3#	内蔵リソースのレジスタ用の領域。 チップ外部に I/O デバイスを配置することも可能。
CS4#	DRAM 領域
CS5#	ノンキャッシュ機能がイネーブルでかつ、内蔵 DRAM コントローラを使用する時には、強制的にノンキャッシュ領域となる。

CS0#

CS0#は、基本的にはブート ROM 用のチップセレクトです。 CS0#に対する Address Range Specifier Register は存在しないため、CS0#は 0 番地から始まるアドレス領域に対してアサートされます。また、他のチップセレクトがリセット時にディセーブル状態になるのに対して、CS0#はリセットにより、ディセーブルされません。

CS3#

CS3#領域は、内部リソース用のレジスタ領域に割り当てられており、外部のリソースも含めて 1KB の範囲に限られます。CS3#に割り当てられた内部のリソースをアクセスする場合でも、通常の外部リソースをアクセスする場合と同様、 ADR<27:2>、ASI<3:0>、AS#、RDWR#、BE0#～3#、CS3#、RDYOUT#は出力されます。D<31:0>には CS3#内部リソースに対するストア時でもストアデータが現れますし、リード時には High-Z となります。

CS3#領域に外部リソースを割り当てる場合には、CS3#および ADR<9:2>をデコードして得られる 1K バイトの空間のうち、0x000～0x1FF を除いた空間(すなわち 0x200～0x3FF)に割り当てて下さい。

CS3#領域のバス幅は、32 ビット又は 16 ビットバス幅に設定することはできますが、8 ビットバス幅の設定は禁止です。CS3#に 32 ビットバス幅の外部リソースを割り当てて、内部の WSSR(Wait State Specifier Register)を使用する場合、Single Cycle Non Burst Mode bit, Single Cycle Burst Mode bit は“0”であり、1 ウエイト以上でかつオーバーライド可に設定する必要があります。また、16 ビットバス幅の外部リソースの場合には、WSSR (Wait State Specifier Register) の設定条件は同じですが、内部リソースをアクセスする場合には、内部リソースは D<15：0>に接続されていますので ADR<1：0>=“0” の Half-Word Load 又は Half-Word Store 命令を使用してアクセスする必要があります。

CS4#

CS4#は、通常、DRAM領域に割り当てられます。

内蔵のDRAMコントローラを使用する場合には、CS4#領域がDRAM領域として扱われます。

外部のDRAMコントローラを使用する場合でも、ページヒット検出回路(SAMEPAGE#生成回路)はCS4#領域へのアクセスに対して働くので、CS4#はDRAM領域に割り当てる必要があります。内蔵、外部のいずれであっても、DRAMコントローラを使用する場合には、CS4#のウエイトステート生成はディセーブルにする必要があります。すなわち、WSSR2はbit8(CS4#に対するWait Enable)=0、bit7(Single Cycle Non Burst Mode)=0、bit4(Single Cycle Burst Mode)=0に設定する必要があります。

CS5#

ノンキャッシュ機能を使用しない場合には、CS5#は汎用的に使用できます。

ノンキャッシュ機能と内蔵DRAMコントローラの両方を使用する場合には、CS5#は強制的にノンキャッシュ領域となります。CS5#に限っては、CS4#の領域とオーバーラップすることが許されるため、CS5#をCS4#のサブ領域として定義することにより,DRAM領域中にノンキャッシュ領域を定義することができます。CS5#をDRAM領域に使用する場合には、CS5#のウエイトステート生成をディセーブルにする必要があります。すなわち、WSSR2はbit21(CS5#に対するWait Enable)=0、bit20(Single Cycle Non Burst Mode)=0、bit5(Single Cycle Burst Mode)に設定する必要があります。

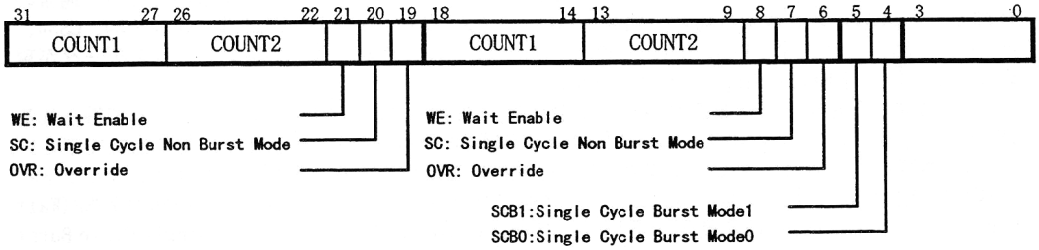
SSCR (System Support Control Register) のbit6(DRAM controller enable)=1にするとCS5#のバス幅はCS4#に設定されたバス幅になります。

8.2. ウエイトステート生成

本CPUコアは、各チップセレクトに対するプログラマブルウエイトステート生成回路を内蔵しており、Wait State Specifier Register(WSSR0～3)にカウント値を設定することにより、各チップセレクト領域に対するウエイト数を設定することができます。ただし、Wait State Specifier Registerに設定するカウント値の意味はバーストモードがONの場合とOFFの場合とで異なるので注意してください。

Wait State Specifier Registerの変更は、キャッシュＯＦＦで行ってください。

Wait State Specifier Register



バーストモード OFF 時のウエイト指定

Wait Enable(WE)	対応するチップセレクト領域に対する内部ウエイトステート生成をイネーブルにします。DRAM コントローラを使用する場合には CS4#に対する Wait Enable は"0"に設定してください。本ビットを"1"に設定する場合には Single Cycle Non Burst Mode(SC)ビットは"0"にする必要があります。
Single Cycle Non Burst Mode(SC)	本ビットを "1"に設定すると AS#と同一サイクルで内部の READY 信号をアサートします。本ビットを"1"に設定する場合には Wait Enable(WE)ビットは"0"にする必要があります。
Override(OVR)	本ビットが"1"の場合には、外部からの READY#も受け付けます。内蔵のウエイトステートのカウンタが 0 になる前に外部 READY#が入力された場合には、CPU コアは内蔵のカウンタのタイムアップを待たずにバスサイクルを終了します。 本ビットが"0"の場合には、外部からの READY#はマスクされ、受付けられません。ただし、AS#と同一サイクルで入力される READY#すなわち、0 ウエイトで入力される READY#に対してはマスク機能は働きません。
カウント 1 (COUNT1)	対応する CS 領域に対してアクセスする場合のウエイト数を指定します。本フィールドに指定した値+1 がウエイト数となります。すなわち、0 を設定した場合には 1 ウエイトとなります。
カウント 2 (COUNT2)	カウント 1 と同一の値を設定する必要があります。
シングルサイクルバースト	バースト OFF 時には使用しません。"0"を設定してください。

バーストモード ON でかつ BMACK#応答がある場合のウエイト指定

Wait Enable(WE)	バーストモード OFF の場合と同一です。
Single Cycle Non Burst Mode(SC)	バーストモード OFF の場合と同一です。
オーバライド(OVR)	バーストモード OFF の場合と同一です。
カウント 1 (COUNT1)	バースト転送の最初のワードの転送のウエイト数を指定します。本フィールドに指定した値+1 がウエイト数となります。すなわち、0 を設定した場合には 1 ウエイトとなります。 16 ビットバス幅の領域に対してバーストモードおよび内蔵ウエイトステート生成を適用する場合には本フィールドは最初の 2 つのハーフワードアクセスに対するウエイト指定値となります。
カウント 2 (COUNT2)	バースト転送の 2,3,4 ワードめの転送のウエイト数を指定します。本フィールドに指定した値+1 がウエイト数となります。すなわち、0 を設定した場合には 1 ウエイトとなります。
Single Cycle Burst Mode	本ビットを"1"に設定した場合には、バースト転送の 2,3,4 ワードめの転送を 0 ウエイトでおこないます。

9. 命令キャッシュ

9. 1. 特長

・4KB、2 ウェイセットアソシアティブ構成
・LRU アルゴリズムによる置換
・ラインサイズ 8 ワード

アドレス TAG のフォーマットおよび ASI 空間へのアドレスマップは「各レジスタのビットマップ」を参照してください。

9.2. 動作

■キャッシュヒット

セット1、セット2のうちいずれかで、アドレスタグ(bit31-11)が一致、Sビット(スーパーバイザビット)が一致、かつバリッドビットが"1"の場合はキャッシュヒット として扱われます。キャッシュヒットの場合、LRUビットおよびLOCKビットの更新を行いますが、IUにはホールドはかからず、チップ外部へのアクセスも生じません。

LRUビット: セット1がヒットした場合は"0"、セット2がヒットした場合は"1"にします。
LOCKビット:Lock Control RegisterのEntry Auto Lock bitが1の場合には1がセットされます。

■ミスヒット

アドレスタグが不一致、Sビットが不一致、バリッドビットが"0"のいずれかである場合にはキャッシュミスヒットです。ミスヒット時には、IUにはホールドがかかり、BIUを経由して外部メモリへのアクセスが発生します。

(1)アドレスタグおよびスーパーバイザビットが一致した場合(バリッドビットは"0")

この場合、既にエントリが割り当てられているものと判断し、 一致した方のセットのデータRAMの内容を置換し、LRUビット、ロックビット、バリッドビットを更新します(LOCKビットの値に依存しません)。この場合、該当するバリッドビットは"1"がセットされますが、同一ラインの他のバリッドビットはそのまま保存されます。

セット1、セット2の両方とも一致した場合には(初期状態でおこる可能性があります。バリッドビットは"0") 、 セット2のデータRAMを置換し、LRU、LOCKビットを更新します。

LRUビット: セット1を置換した場合は"0"、セット2を置換した場合は"1"にします。
LOCKビット:Lock Control RegisterのEntry Auto Lock bitが1の場合には1がセットされます。

(2)セット1、セット2ともにアドレスタグあるいはSビットが一致しない場合

この場合、新規にエントリを割り当てる動作を行います。エントリロックされているものは置換を行いません。また、置換の際はLRUアルゴリズムにしたがったデータRAMの置換を行います。
すなわち、

a. セット1、2ともにエントリロックされている場合には置換は行いません。
b. 片方がエントリロックされている場合にはロックされていない方を置換します。
c. エントリロックされていない場合にはLRUアルゴリズムにしたがい、データRAMの置換が行われます。

置換の際、該当するValidビットには"1"がセットされ、同一ラインの他のValidビットは"0"クリアされます。

■バーストモードON時のミスヒット

バーストモードがONの時に、ミスヒットが生じると、IUにはホールドがかかり、BIUを経由して外部メモリから4ワード分の命令をキャッシュへフィルします。2〜4ワードめのアクセス時はキャッシュのヒット判定をおこなわず、無条件でTAG RAMおよびDATA RAMが置換されます。キャッシュフィル時、1ワードめはキャッシュに書き込みが行われると同時にIUへも送られます。2〜4ワードめはキャッシュに書き込まれますが、IUへは送られません。

■メモリ例外について

ミスヒット時、外部アクセスした際にメモリ例外(MEXC#のアサート)が発生した場合でもアドレスタグおよびデータ RAM の書換えはおこなわれます。ただし、Valid ビットには "0" がライト(invalidate)されるのでキャッシュのコヒーレンシは保たれます。

10. データキャッシュ

10. 1. 特長

・2KB、2 ウェイセットアソシアティブ構成
・LRU アルゴリズムによる置換
・ラインサイズ 4 ワード
・ノンキャッシュ機能サポート
・ライトスルー方式

データキャッシュのアドレス TAG のフォーマットおよび ASI 空間へのアドレスマップは「各レジスタのビットマップ」を参照してください。

10. 2. 動作

■リードヒット

セット 1、セット 2 のうちいずれかで、アドレスタグ(bit31-12)が一致、S ビット(スーパーバイザビット)が一致、かつ Valid ビットが"1"の場合はキャッシュヒット として扱われます。ロード命令実行時、キャッシュがヒットした場合、DATA RAM が保持しているデータを IU へ送りだします。また、LRU ビットおよび LOCK ビットの更新を行いますが、IU にはホールドはかからず、チップ外部へのアクセスも生じません。

LRU ビット: セット 1 がヒットした場合は"0"、セット 2 がヒットした場合は"1"にします。
LOCK ビット:Lock Control Register の Entry Auto Lock ビットが 1 の場合には 1 がセットされます。

■ライトヒット

ストア命令実行時、キャッシュがヒットした場合、データタイプ(バイト、ハーフワード、ワード)にしたがって DATA RAM に書き込みます。ライトスルー方式なので、キャッシュヒット時、DATA RAM に書き込むと同時に外部メモリへのライト動作を行いますが、エントリロックされている場合には外部メモリへのアクセスを行いません。キャッシュヒット時 LRU ビットは更新され、LOCK ビットは Lock Control Register の Entry Auto Lock ビットに従い、更新されます。

■ミスヒット(バーストモード OFF 時)

アドレスタグが不一致、S ビットが不一致、バリッドビットが"0"のいずれかである場合にはキャッシュミスヒットです。ミスヒット時には、IU にはホールドがかかり、BIU を経由して外部メモリへのアクセスが発生します。この際、アクセスのデータタイプがバイト、ハーフワード、ワードのいずれであっても、外部メモリからはワードデータとしてキャッシュにコードする必要があります(Valid/Invalid の管理はワード単位で行われます)。

(1)アドレスタグおよびスーパーバイザビットが一致した場合(バリッドビットは"0")

この場合、既にエントリが割り当てられているものと判断し、 一致した方のセットのデータ RAM の内容を置換し、LRU ビット、LOCK ビット、Valid ビットを更新します(LOCK ビットの値に依存しません)。この場合、該当する Valid ビットは"1"がセットされますが、同一ラインの他の Valid ビットはそのまま保存されます。

セット 1、セット 2 の両方とも一致した場合には(初期状態でおこる可能性があります。Valid ビットは"0") 、 セット 2 のデータ RAM を置換し、LRU、LOCK ビットを更新します。

LRU ビット: セット 1 を置換した場合は"0"、セット 2 を置換した場合は"1"にします。
LOCK ビット:Lock Control Register の Entry Auto Lock ビットが 1 の場合には 1 がセットされます。

(2)セット 1、セット 2 ともにアドレスタグあるいは S ビットが一致しない場合

この場合、新規にエントリを割り当てる動作を行います。エントリロックされているものは置換を行いません。また、置換の際は LRU アルゴリズムにしたがったデータ RAM の置換を行います。
すなわち、

a. セット 1、2 ともにエントリロックされている場合には置換は行いません。
b. 片方がエントリロックされている場合にはロックされていない方を置換します。
c. エントリロックされていない場合には LRU アルゴリズムにしたがい、データ RAM の置換が行われます。

置換の際、該当する Valid ビットには"1"がセットされ、同一ラインの他の Valid ビットは"0" クリアされます。

■バーストモード ON 時のミスヒット

バーストモードが ON の時に、ミスヒットが生じると、IU にはホールドがかかり、BIU を経由して外部メモリから 4 ワード分のデータをキャッシュへフィルします。2〜4 ワードめのアクセス時はキャッシュのヒット判定をおこなわず、無条件で TAG RAM および DATA RAM が置換されます。キャッシュフィル時、1 ワードめはキャッシュに書き込みが行われると同時に IU へも送られます。2〜4 ワードめはキャッシュに書き込まれますが、IU へは送られません。

■メモリ例外について

リードミスヒット時のメモリ例外

リードミスヒット時、外部アクセスした際にメモリ例外(MEXC#のアサート)が発生した場合でもアドレスタグおよびデータ RAM の書換えは行われます。ただし、Valid ビットには "0" がライト(invalidate)されるので、キャッシュのコヒーレンシは保たれます。

ライトヒット時のメモリ例外

ライトバッファ ON でかつライトヒットした場合には、IU は外部メモリへのライト完了を待たずに次の命令を実行します。したがって、ライトバッファが動作している時にはどの命令で例外が発生したかを特定するのは困難であり、命令の再実行により、回復することは困難です。この場合、キャッシュのコヒーレンシについても保証されません。

■アトミックロードストア命令について

アトミックロードストア命令は、常にノンキャッシュとして扱われます(アトミックロードストア命令は、セマフォ等の特定のフラグをアクセスするための命令です)。アトミックロードストア命令でヒットが検出された場合には、ストア動作時にラインの全ての Valid ビット(4 ビット)をクリアします。

■ノンキャッシュ機能(データキャッシュのみ)

通常、ASI=0x08〜0x0B 空間はキャッシュの対象であり、これ以外の空間に対するアクセスはキャッシュの対象とはなりません。本 CPU は、ASI=0x08〜0x0B の空間にノンキャッシュ領域を設定するためのノンキャッシュ制御機能をサポートしています(データキャッシュのみ)。

BWCR(Bus Width／Cacheable Control Register)は CS 領域ごとにキャッシャビリティを制御するためのレジスタであり、CBIR(Cache/BIU Control Register)の bit7(Cacheability Enable bit)を"1"にセットすることで有効になります。ただし、DRAM コントローラがイネーブルの場合には CS4 領域は常にキャッシャブル、CS5 領域は常にノンキャッシャブルとして扱われます。CBIR の Cacheability Enable ビットが"0"の場合には、NONCACHE#端子による制御も無効です。

Bus Width／Cacheable Register (BWCR)

31 〜 24	22	20	18	16	14	12	10	8	7 6	5 4	3 2	1 0
Reserved	CS5	CS4	CS3	CS2	CS1	CS0	CS5	CS4	CS3	CS2	CS1	----
	Cacheable Control						Bus Width					

0x : 外部端子(NONCACHE#)で制御
10 : キャッシュする
11 : キャッシュしない

(1) ソフトウエアによる CS 領域ごとのキャッシャブル/ノンキャッシャブルの設定

BWCR(Bus Width／Cacheable Register)の CS に対応する Cacheable Control ビットを $11_{(2)}$に設定するとその領域をノンキャッシュ領域として扱います。$10_{(2)}$に設定した場合はキャッシャブル領域として扱います。

(2) 外部端子(NONCACHE#)による制御

BWCR(Bus Width／Cacheable Register)の CS に対応する Cacheable Control ビットを $0x_{(2)}$に設定した場合は、外部端子(NONCACHE#)により、キャッシャブル制御します。ただし、DRAM コントローラがイネーブルの場合の DRAM 領域(CS4#および CS5#)については、BWCR の設定に関係なく、CS4#領域が NONCACHE#端子による制御、CS5#領域はノンキャッシャブルとして扱われます。

通常、NONCACHE#信号は、AS#出力後すぐに“L”を入力し、READY#が入力されるサイクルまで継続する必要があります。

キャッシュは外部アクセス開始後(AS#アサート後)、すぐに DATA RAM の書換え動作に入るので、外部でキャッシュ書き込みを抑制するには AS#がアサートされるサイクルのクロックの立ち下がりまでに NONCACHE#を入力する必要があります。これですと、外部回路の設計が非常に困難なため、CBIR(Cache／BIU Control Register)の Non-Cacheable Wait-State ビット(ビット 9,8)の設定により、外部からの応答タイミングを緩和させる機能をもたせてあります。すなわち、初めの数サイクル期間は内部でキャッシュをマスクする信号を発生し、それと外部から入力される NONCACHE#信号の OR をとった信号でノンキャッシュ制御されます。Non-Cacheable Wait-State を設定する場合には、外部からの入力と内部で発生されるキャッシュマスク信号とが論理的に最低でも 1 サイクルはオーバーラップするように設定する必要があります。このため、NONCACHE#信号はシステムクロックに対する AC 的なセットアップ/ホールドタイムは規定されません。

図 11の『内部のマスク信号』は、Non-Cacheable Wait-State=1($=01_{(2)}$)に設定した場合に内部で自動的にノンキャッシュとして扱われるタイミングを示しています。この場合、NONCACHE#端子は AS#がアサートされるサイクルの次のサイクルでは確定している必要があります。なお、Non-Cacheable Wait-State=0 を設定することは禁止されています。

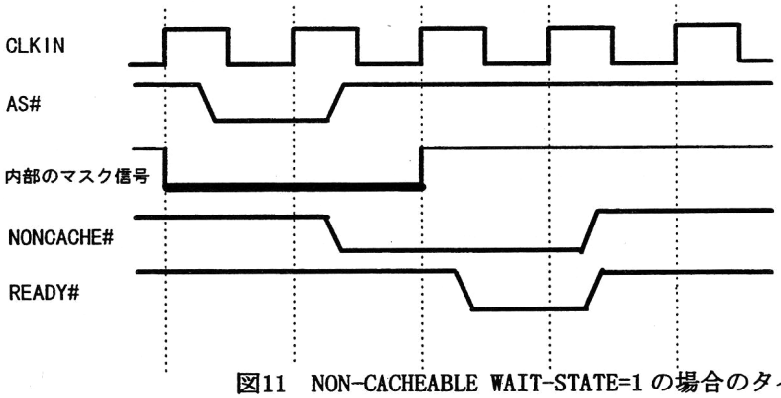


図11 NON-CACHEABLE WAIT-STATE=1 の場合のタイミング

11. スリープモード

本 CPU は、スリープモードすなわちプログラム再開可能なパワーセーブモードをサポートしています。

11.1. レジスタ

■Sleep Mode Register(ライトオンリ)

31	0
Reserved(ビットなし)	

ビット 31-1:Reserved
ビット 0: Sleep(ライトオンリ).
本ビットに"1"をライトすることによりスリープモードが設定されます。

11.2. 動作

スリープモードの起動およびスリープモードからの復帰は以下の手順およびシーケンスをとります。

■スリープモードに入るシーケンス

1)プログラムでキャッシュをOFFにします。
→これにより，アクセスは全て外部アクセスとなります。

2)Sleep Mode Register(SLPMD：ASI=0x01, ADR=0x00020004)のビット0に"1"をライトします。Sleep Mode Registerへのストア命令後は3つ以上のNOP命令を置いてください。

3)ハードウエアにより次のシーケンスが実行されます。

i. バスサイクルの終了を待ってCPUは外部アクセスを停止します。これによりIUはホールド状態となります。

ii. DATAバスは入力状態、 ADRバスは出力、RD/-WR#は'H'出力、-AS#は'H'出力(インアクティブ状態)となります。

iii. チップ内部のスリープモード制御信号(SLPOUT#)をアサートします。
→DRAMコントローラはこれを受けて規定クロック(11クロック)以内にセルフリフレッシュモードを設定します。

iv. 規定クロック後、端子のPDOWN#信号をアサートし、内部クロックを停止します。
→この後は、WKUP#監視回路のみ動作継続します。

[注意事項]
・スリープモード中は(スリープモードに入るシーケンス実行も含めて)、BREQ#のアサートは禁止です。
・スリープモード中は，コア内蔵のCS#生成回路、DRAMリフレッシュタイマは動作が停止します。
・スリープモード設定ルーチンは割込み処理ルーチンとして1箇所だけで定義しておき，割込み信号入力でスリープモードを起動する方法を推奨します。

■スリープモードからの復帰シーケンス

1) WKUP#信号を入力することにより、ハードウエアが次のシーケンスを実行します。

i. クロックをイネーブルにします。

ii. キャッシュをフラッシュします。

iii. チップ内部のスリープモード信号(SLPOUT#)および PDOWN#端子をネゲートし,周辺リソースである DRAM コントローラにセルフリフレッシュモードから抜け出すことを指示します。DRAMのリフレッシュカウンタは動作を再開します。

iv. IUのホールドを解除します。これによりプログラムが走り出します。
この後，外部バスマスタがBREQ#入力をアサートすることは可能です。

2)キャッシュをONにします（プログラムで実行）。

3)割込み（トラップ）処理ルーチンから復帰します。

備考：スリープモードに入った時でも外部クロックは供給されていて，PLLは継続動作しています(ダブラ使用時も同様です)。また、WKUP# 信号監視用の回路には常にクロック供給されています。WKUP#端子は、非同期入力ですが、2クロック期間以上の"L"幅の入力が必要です。

12. 割り込みコントローラ

12. 1. 特長

○15 チャネルの割り込み入力

○MB86940 とコンパチブル

○ディセーブル時は MB86930 とコンパチブル

○各割り込み入力ごとにトリガモード設定可能

・ハイレベル

・ローレベル

・立ち上がりエッジ

・立ち下がりエッジ

○各割り込み入力ごとに割り込みをマスク可能

12. 2. 構成

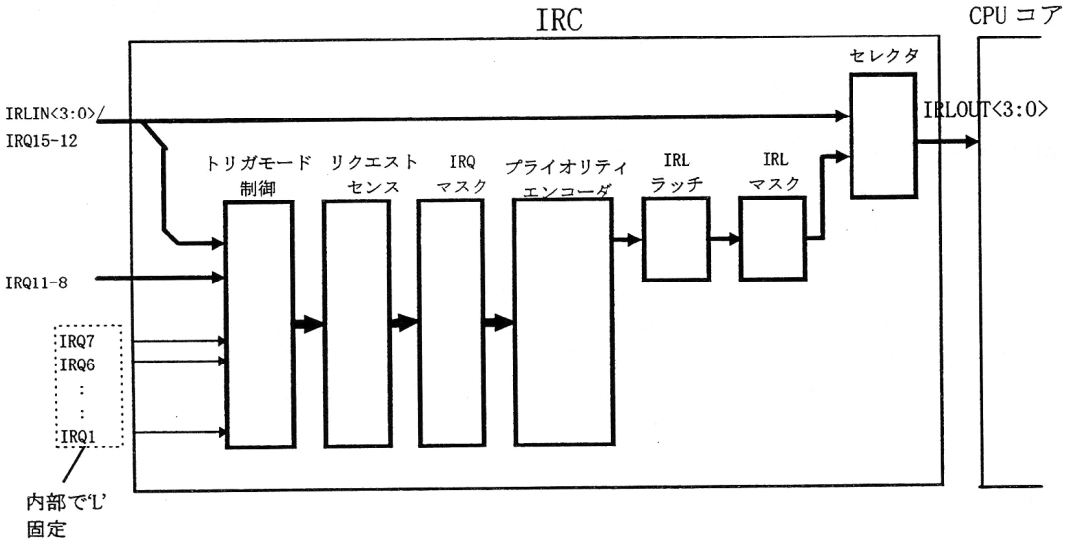


図12　割り込みコントローラの構成

12.3. レジスタマップ

ASI ADDRESS	記号	レジスタ名称	b31 b24	b23 b16	b15 b8	b7 b0
*1 +00	TRGM0	Trigger Mode0 Register	********	********	00000000	00000000
*1 +04	TRGM1	Trigger Mode1 Register	********	********	00000000	000000--
*1 +08	REQSNS	Request Sense Register 【リードオンリ】	********	********	xxxxxxxx	xxxxxxx-
*1 +0C	REQCLR	Request Clear Register 【ライトオンリ】	********	********	xxxxxxxx	xxxxxxx-
*1 +10	IMASK	Interrupt Mask Register	********	********	11111111	11111111
*1 +14	IRLAT	IRL Latch/Clear Register	********	********	--------	---00000
*1 +18	IMODE	IRC Mode Register	********	********	-------	------00

・レジスタのビット値は以下のように初期値を表します。
"1":初期値"1"。 "R":予約ビット(ライト時は"0"ライト)。
"0":初期値"0"。 "-":その位置に物理的にレジスタがない(将来拡張の可能性あり。"0"ライト必要)
"x":初期値不定。 "*":その位置に物理的にレジスタがない(将来拡張の可能性なし)

*1:周辺リソースのレジスタアドレスはCS3によって決定されます。例えば、CS3に対応するAddress Range Specifier Register3でASI=0x04、ADR=0x00000000(ADR<31:10>がオール0)を指定し、Address Mask Register3がオール0(すべてのビットを比較)に設定されている場合には、周辺リソースのベースアドレスは、ASI=0x04、ADR=0x00000000となり、それぞれのオフセット値を加えたものがレジスタのアドレスとなります。また、CS3#は周辺リソースの選択に使用されるため、CS3#のウエイト生成指定(Wait State Specifier Register1の上位半分を使用)で、Wait Enable=1、Override=1を指定する必要があります。

・CS3には、周辺リソースがD<15:0>に接続されていますので、CS3の8ビットバスモードは禁止です。また、16ビットバスの場合、Half-WordのLoadまたはStoreで周辺リソースをアクセスする必要があります。

12.4. レジスタ説明

■Trigger Mode0 Register(リード/ライト)

31 … 16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved (ビットなし)	ch15		ch14		ch13		ch12		ch11		ch10		ch9		ch8	

ビット 15-0: TRGMD(リセット時オール"0"). チャネル 15-8 のトリガモード指定ビットです。

■Trigger Mode1 Register(リード/ライト)

31 … 16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved (ビットなし)	ch7		ch6		ch5		ch4		ch3		ch2		ch1		00	

ビット 15-2: TRGMD(リセット時オール"0"). チャネル 7-1 のトリガモード指定ビットです。
ビット 1,0: Reserved(リード時"00")

Trigger Mode0 および 1 は、それぞれ、チャネル 15～8 およびチャネル 7～1 の各チャネルのトリガモードを設定します。トリガモードは、表 6のとおりハイレベル, ロウレベル, 立ち上がりエッジ, 立ち下がりエッジをサポートしています。
[注意事項]
チップの端子に接続されない IRQx 端子はチップ内部で"L"に固定されますので、トリガモードをロウレベルに設定すると常に割り込みが入力される状態になります。

表6 トリガモード設定

TRGMD	トリガモード
00	ハイレベル(初期値)
01	ロウレベル
10	立ち上がりエッジ
11	立ち下がりエッジ

■Request Sense Register(リードオンリ)

31 … 16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved (ビットなし)	Request Sense15-1															0

Bit15-1 : REQSNS15-1(初期値オール"0").
チャネル 15～1 の割り込み要求を示します。"1"の時、割り込みが要求されていることを示します。
bit0 : Reserved(リード時"0")

Trigger Mode Register で設定されたイベントが IRQ15～1 端子に入力されるとリクエストセンスレジスタの対応するビットに"1"がセットされます。Request Sense Register はリードオンリです。
本 Request Sense Register は、リセットにより、すべてクリアされますが、IRQx 入力にハイレベルが入力されていると、リセット解除後、ただちにセットされることに注意してください。

■Request Clear Register(ライトオンリ)

31 … 16	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1	0
Reserved (ビットなし)	Request Clear15-1	—

ビット 15-1: "1"に設定されたビットに対応した割り込み要求を"0"にします。(ライトオンリ)

Request Clear Register のビット 15-1 に"1"がライトされると、対応する割り込み要求は "0" になります。Request Clear Register はライトオンリです。

■Interrupt Mask Register(リードライト)

31 … 16	15 14 13 12 11 10 9 8 7 6 5 4 3 2 1	0
Reserved (ビットなし)	Mask15-1	IM

ビット 15-1: MSK15～1(リードライト).(初期値オール"1").
IRQ マスクビットです。"1"をセットするとそのビットに対応するチャネルの割り込みをマスクします。

ビット 0 : IM(リードライト). (初期値オール"0").
IRL マスクビットです。"1"をセットすると割り込みレベルラッチ(IRL ラッチ)の内容を IU とのインタフェース端子 IRLOUT<3:0>に出力しません(オール"0"となります)。

Interrupt Mask Register は、各チャネルごとに割り込みマスクを指定します。ビット 15-1 が割り込みチャネルの 15-1 に対応しており、"1"をセットすることにより割り込みをマスクすることができます。割り込みをマスクしているときでも Request Sense Register は、割り込み入力により"1"にセットされます。ビット 0 は、コード化した割り込みレベル IRL<3:0>を IU(整数ユニット)に出力するか否かを決めるビットです。ビット 0 が"1"の時には、IU には 0000 を伝達します。

■IRL Latch/Clear Register(リードライト)

31 … 16	15 14 13 12 11 10 9 8 7 6 5	4	3 2 1 0
Reserved (ビットなし)	Reserved (リード時 "0")	CL	IRL

ビット 4 : IRLCL (ライトオンリ)
"1"を書き込むと割り込みレベルラッチをクリアします。

ビット 3-0 : IRLLAT(リードオンリ).(初期値"0").
IRL ラッチ(割り込みレベル)の内容が読み出されます。

IRL Latch／Clear Register は割り込みレベルラッチの内容を読みだしたり、その割り込みレベルラッチをクリアします。ビット 4 に"1"を書き込むと現在の割り込みラッチの内容がクリアされ、次の割り込みレベルが新たにラッチされます。
ビット 3-0 は割り込みレベルラッチの内容が読みだされます。

■IRC Mode Register(リードライト)

31	16 15 14 13 12 11 10 9 8 7 6 5 4 3 2	1 0
Reserved (ビットなし)	Reserved (リード時 “0”)	IRCMD

ビット 1,0: IRCMD(リードライト).(初期値 00). IRCモードビットです。

表7 動作モード

IRCMD	動作モード
00	IRC ディセーブル。端子 IRL<3:0>のレベルがそのまま使用されます。
01	IRC イネーブル。端子 IRL<3:0>を IRQ15-12 として使用し IRQ11-8 端子を有効にします。
10	設定禁止
11	設定禁止

割り込みコントローラ(IRC)のモード設定に使用します。IRCMD が $00_{(2)}$ の時には、割り込みコントローラはディセーブル状態となり、IRL<3:0>端子のレベルがそのまま、IU に伝達されます。IRCMD が $01_{(2)}$ の時には、割り込みコントローラがイネーブルとなり、端子 IRL<3:0>は割り込み要求入力 IRQ15-12 として使用されます。

[注意事項]

割り込みコントローラがディセーブルの場合、IRL<3:0>はグループ化された非同期信号として外部クロックの立ち下がりでサンプルされて、2 回以上同一のレベルが検出された場合のみ CPU コアに伝達されます。一方、割り込みコントローラがイネーブルの場合には、外部クロックの立ち上がりで IRQx が個別に同期化されて使用されます。

12.5. 割り込みコントローラの動作

割り込み処理プロセス

IRC Mode Register の IRCMD ビットを $01_{(2)}$ に設定すると割り込みコントローラがイネーブルになり、割り込み入力端子 IRQ15-12 および IRQ11-1(このうち何本が端子に接続されるかは、IRC リソースを接続する場合によって異なります)に入力された割り込み信号は、トリガモードにしたがって Request Sense Register に保持されます。保持された割り込みは、Interrupt Mask Register でマスクされていないもののうちでプライオリティの一番高いものがコード化されて割り込みレベルラッチ (IRL Latch) に保持されます。保持された IRL Latch のデータは Interrupt Mask Register の IM ビットが "0" の場合、端子 IRLOUT<3:0>に出力され CPU コアに伝達されます。CPU コアが割り込みアクノリッジとして、IRL Latch/Clear Register の CL ビットに"1"を書き込むことにより、IRL Latch に保持されたデータはクリアされ、次の割り込みレベルが保持可能となります。この時点で既に割り込み要求が Request Sense Register に保持されているならば、プライオリティの高いものが引き続き、IRL Latch に保持されます。

IRC Mode Register の IRCMOD ビットが $00_{(2)}$ の場合には割り込みコントローラはディセーブルとなり、端子 IRLIN<3:0>に入力されたデータが端子 IRLOUT<3:0>にそのまま出力されます。

割り込み処理方法

1)CPU が割り込みをトラップとして処理する場合

リセット後、Interrupt Mask Register にすべて "1" にセットした状態でトリガモードをセットし、Request Clear Register の全ビット (ビット 0 は除く) に "1" をライトしてください。次に、受け付けるべき割り込み入力のマスク (Interrupt Mask Register のビット 15-1) と IRL マスク(Interrupt Mask Register のビット 0) を解除してください。それにより、割り込み入力 IRQIN15-1 がアサートされた時点で割り込み要求が保持され、さらにコード化されて IRL ラッチに保持されます。

トラップ処理ルーチンの中で、CPU は、処理に対応した IRL Latch のビットをクリアした後、IRL Latch をクリアする必要があります。その結果、次の保持されている割り込みを IRL Latch に保持することが可能となります。

2)ポーリング処理を行う場合

a) 直接保持されている割り込みをポーリングする場合

Interrupt Mask Register を全て "1" にセットした状態で CPU が Request Sense Register を読み出します。この場合、1)のトラップでの処理方法と組み合わせてマスクしないものはトラップによって処理し、マスクした割り込みについてはソフトウェアでセンスします。

b) IRL ラッチ/クリアレジスタをポーリングする場合

トラップを発生しないで、CPU が IRL Latch/Clear Register の IRL Latch ビットを監視すること以外は 1)と同じです。リセット後、Interrupt Mask Register に全て "1" をセットした状態でトリガモードをセットし、Request Clear Register に全ビット (ビット 0 は除く) に "1" をライトしてください。次にポーリングすべき割り込みのマスクを解除してください (Interrupt Mask Register の IM ビットは"1"のまま) 。それにより、割り込み入力があった時点でその割り込みは保持され、コード化されて IRL Latch に保持されます。CPU コアは、定期的に IRL Latch/Clear Register の IRL Latch ビットをセンスし、そのデータが $0000_{(2)}$ でない場合は割り込み処理ルーチンへ飛び、対応する割り込み(Request Sense Register のビット)をクリアする必要があります。さらに、CPU がアクノリッジ動作として IRL Latch ビットをクリアすることにより、次の割り込み要求によるコード化されたデータがラッチ可能となります。

12.6. 注意事項

■レベルトリガモード時の割り込み要因クリアについて

レベルトリガモード時には、たとえリクエストを発行したとしても割り込み入力がアサートされたままの場合、割り込み要求は再び保持されてしまいます。したがってリクエストのタイミングは、クリアしたい割り込み入力のネゲート後にしてください。

■トリガモード変更時の注意事項

処理の途中でトリガモードを変えると、割り込み入力がなくても割り込みとして保持される可能性があります。したがって、トリガモードを変更する場合には、次の手順を踏む必要があります。

1. すべての割り込みをマスクする。
2. トリガモードを変える。
3. リクエストクリアを発行する（レジスタの対応するビットに“1”をライトする）。
4. IRL Latch/Clear Register の CL ビットに“1”をライトする。
5. 割り込みマスクを解除する。

■リセット解除後の注意事項

リセット解除後、トリガモードはハイレベルになっているので割り込み入力がハイレベルになっていると Request Sense Register に“1”がセットされてしまいます。したがって、マスク解除する前には必ず、リクエストクリアを発行してください。

■CPU コアのスリープモード時の動作

IRC のクロック端子は CPU コアのリソース用クロックと接続されるため、CPU コアがスリープモードに入るとクロックは停止し、IRC も動作停止します。

■バスグラント時の割り込みコントローラへの動作

割り込みコントローラのレジスタは CS3 領域にあるため、バスグラント時（BGRNT#=“L”）CPU コアから割り込みコントローラにアクセスするとき（Request Sense Register をﾘｰﾄﾞする、Request Sense をクリアする、IRL Latch をクリアする場合等）、CPU コアがホールド状態となり、割り込みコントローラへのアクセスができません。

13. DRAM コントローラ

13. 1. 特長

- 高速ページモード DRAM サポート(バーストモードおよび非バーストモード可)
- EDO(ハイパページ)モード DRAM サポート(バーストモード使用時のみ)
- データバス幅　32 ビットおよび 16 ビットをサポート
- DRAM ページサイズ 256～4096
- 2CAS 方式および 2WE 方式の 16 ビットバス幅の DRAM を使用可能
- スリープモード時、DRAM をセルフリフレッシュモードに設定する機能をサポート
- RAS, CAS タイミングパラメータはプログラマブル

13. 2. 構成

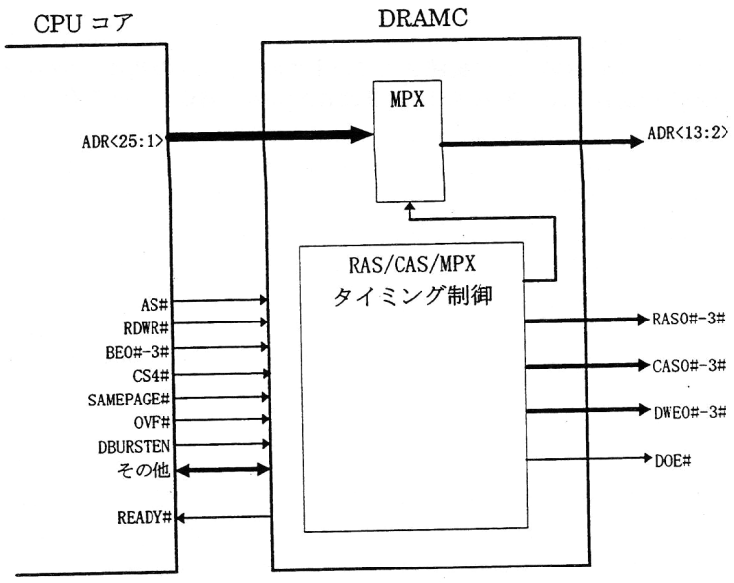


図13　DRAM コントローラの構成

13. 3. レジスタマップ

ASI	ADDRESS	記号	レジスタ名称	b31 b24	b23 b16	b15 b8	b7 b0
*1	+20	DBANKR	DRAM Bank Configuration Register	x-------	--------	-----010	00110011
*1	+24	DTIMR	DRAM Timing Register	--------	--------	--------	---10110

・レジスタのビット値は以下のように初期値を表します。
"1":初期値"1"。 "R":予約ビット(ライト時は"0"ライト)。
"0":初期値"0"。 "-":その位置に物理的にレジスタがない(将来拡張の可能性あり。"0"ライト必要)
"x":初期値不定。 "*":その位置に物理的にレジスタがな 拡張の可能性なし)

*1: DRAMC のレジスタアドレスは CS3#によって決定されます。例えば、CS3#に対応する Adc nge Specifier Register3 で ASI=0x04、ADR=0x00000000(ADR<31:10>がオール 0)を指定し、Ad ask Register3 がオール 0(すべてのビットを比較)に設定されている場合には、周辺リソースの=0, RST= ドレスは、ASI=0x04、ADR=0x00000000 となり、それぞれのオフセット値を加えたものがレジスタのアドレスとなります。また、CS3#は周辺リソースの選択に使用されるため、CS3#のウエイト生成指定(Wait State Specifier Register1 の上位半分を使用)で、Wait Enable=1、Override=1 を指定する必要があります。

・CS3 には、周辺リソースが D<15 : 0>に接続されていますので、CS3 の 8 ビットバスモードは禁止です。また、16 ビットバスの場合、Half-Word の Load または Store で周辺リソースをアクセスする必要があります。

13.4. レジスタ説明

■System Support Control Register
(本レジスタは DRAMC 専用のレジスタではなく、BIU に含まれるレジスタです)

31	8	7	6	5	4	3	2	1	0
Reserved (ビットなし)								----	

ビット 31-8: Reserved
ビット 7: DRAM Burst Enable (0:OFF、1:ON、初期値"0")
ビット 6: DRAM Controller Enable (0:OFF、1:ON、初期値"0")
ビット 5: Same Page Enable (0:OFF、1:ON、初期値"0")
ビット 4: CS Enable (0:OFF、1:ON、初期値"0")
ビット 3: Programmable Wait-state (0:OFF、1:ON、初期値"1")
ビット 2: Timer On/Off (0:OFF、1:ON、初期値"0")
ビット 1,0: Reserved

DRAM コントローライネーブル

内蔵の DRAM コントローラは、SSCR(System Support Control Register)の DRAM Controller Enable ビット(ビット 6)を"1"に設定することにより、イネーブルとなります。

DRAMC をイネーブルにするには、あらかじめリフレッシュタイマ(DTIMER および DRLD)、Same Page Mask Register(SPGMR)、DRAM Bank Configuration Register(DBANKR)、DRAM Timing Register(DTIMR)を設定しておく必要があります。一方、DRAM Bank Configuration Register および DRAM Timing Register は、CS3 の領域にマッピングされているので、これらの設定の前にプログラマブルチップセレクト領域の初期化し、イネーブルにしておく必要があります。したがって、DRAM コントローラをイネーブルにするための初期設定の順序は概略、以下のようになります。

1) プログラマブルチップセレクトの設定(ARSR1-5、AMR0-5、WSSR0-2)
2) SSCR で CS-ON、ウエイトステート-ON に設定。
3) DRAM Bank Configuration Register および DRAM Timing Register の設定
4) DRAM Refresh Timer、Same Page Mask Register の設定
5) SSCR で CS-ON、DRAMC-ON、ウエイトステート-ON、SPAGE-ON、リフレッシュタイマ-ON に設定

DRAM バーストイネーブル

DRAM のバーストアクセスをイネーブルにするには、SSCR の bit7(DRAM Burst Enable)に"1"を設定する必要があります。ただし、DRAM をバーストでアクセスするには、あらかじめキャッシュが ON になっている必要があります。DRAM Burst Enable ビットの設定は、キャッシュ ON よりも先に行うことは可能ですが、その場合は、キャッシュの ON よりも前に DRAM 領域へのアクセスはしないことが保証されなければなりません。

■DRAM Bank Configuration Register(リードライト)

31	30	11	10	9	8	7	6	5	4	3	2	1	0
ERR	Reserved (ビットなし)		STADR		HE	TP	COL			BKSIZE			

ビット 31:ERR(ACCESS ERROR) (初期値不定、リセット以前の値を保持)
CS4 領域ではあるが、DRAM バンク領域としては存在しない領域をアクセスした場合に DRAMC は MEXC(メモリ例外)を発生させます。その際、本ビットにエラーステータスとして "1" を表示します。本ビットをクリアするためには、"0"をライトする必要があります。初期設定の際は "0" をライトしてください。

ビット 10,9:STADR(DRAM START ADDRESS)

DRAM の BANK0 の開始番地を指定するビットです。DRAM の開始番地には、バンクサイズよりも大きな値を設定する必要があります。バンクサイズより小さく設定した場合には、使用できないバンクが発生します。ただし、STADR 設定値以内をアクセスしていれば、正常に動作します。

STADR	DRAM スタートアドレス	
00	リザーブ(禁止)	
01	16M (0x01000000)	←初期値
10	32M (0x02000000)	
11	64M (0x04000000)	

ビット 8: HE(Hyper-page Enable) (初期値"0").

ハイパーページモードイネーブルビットです。

0: 高速ページモード DRAM

1: ハイパーページモード付き DRAM

キャッシュ On、DRAM Burst Enable ビット(SSCR のビット 7)が"1"、本ビットが"1"の時、ハイパページモード(EDO)DRAM のモードとなります。DRAM Burst Enable ビットを "1" に設定する前に BCR(Bus Control Register)の IBE(Instruction Burst Enable)および DBE(Data Burst Enable)ビットの設定を "1" に設定してください。また、バーストモード設定する前には、プリフェッチバッファは Off になっている必要があります。

ビット 7: TP(DRAM TYPE) (初期値"0").

DRAM 接続方式指定ビットです。

0: 4CAS-1WE 方式

1: 4WE-1CAS 方式

ビット 6-4: COL(COLUMN ADDRESS) (初期値 $011_{(2)}$).

DRAM コラムアドレスビット数(DRAM ページサイズ)指定ビットであり、この値によりアドレスのマルチプレクスの仕方が決定されます。なお、本ビットはページヒット検出のためのページサイズとは独立しています。ページヒット検出のためのページサイズ指定は SPGMR(Same Page Mask Register)で行う必要があります。

データバス幅が 32 ビットの時

COL	コラムアドレスビット数	ページサイズ	DRAM ロウアドレス	DRAM コラムアドレス	アドレス出力端子
000	リザーブ	--	--	--	--
001	8 ビット	256	ADR<21:10>	ADR<13:2>	ADR<13:2>
010	9 ビット	512	ADR<22:11>	ADR<13:2>	ADR<13:2>
011	10 ビット	1024	ADR<23:12>	ADR<13:2>	ADR<13:2>
100	11 ビット	2048	ADR<24:13>	ADR<13:2>	ADR<13:2>
101	12 ビット	4096	ADR<25:14>	ADR<13:2>	ADR<13:2>
110	リザーブ	--	--	--	--
111	リザーブ	--	--	--	--

データバス幅が 16 ビットの時

COL	コラムアドレスビット数	ページサイズ	DRAM ロウアドレス	DRAM コラムアドレス	アドレス出力端子
000	リザーブ	--	--	--	--
001	リザーブ	--	--	--	--
010	9 ビット	512	ADR<21:10>	ADR<12:1>	ADR<13:2>
011	10 ビット	1024	ADR<22:11>	ADR<12:1>	ADR<13:2>
100	11 ビット	2048	ADR<23:12>	ADR<12:1>	ADR<13:2>
101	12 ビット	4096	ADR<24:13>	ADR<12:1>	ADR<13:2>
110	リザーブ	--	--	--	--
111	リザーブ	--	--	--	--

ビット 3-0: BKSIZE(初期値 $0011_{(2)}$).

バンクサイズ(RAS0#～3#の各領域のサイズ)指定ビットです。バンク 0～3 の 4 バンクとも同一サイズとなります。

BKSIZE	バンクサイズ
0000	512KB
0001	1MB
0010	2MB
0011	4MB
0100	8MB
0101	16MB
0110	32MB
0111	64MB
1000-1111	リザーブ

DRAM Bank Configuration Register は、1 バンクあたりのバンクサイズ、DRAM コラムアドレスビット数、DRAM 接続方式、ハイパーページモードの ON/OFF の設定を行います。

■DRAM Timing Register(リードライト)

31	5	4	3	2	1	0
Reserved(ビットなし)						

ビット 4: T_{RPS} (初期値"1").

セルフリフレッシュ時の RAS#信号のプリチャージ時間を指定するビットです。

0: 2 サイクル

1: 4 サイクル

ビット 3-2: T_{RASCBR}(初期値 $01_{(2)}$).

CBR リフレッシュ時の RAS#パルス幅を指定するビットです。

ビット 3,2	CBR リフレッシュ時の RAS#幅
00	1 サイクル
01	2 サイクル(初期値)
10	3 サイクル
11	リザーブ

ビット 1: T_{CAS} (初期値"1").

CAS#パルス幅指定ビットです。

0: 1 サイクル

1: 2 サイクル

DRAM バーストイネーブルが"1"でかつ、ハイパページモードがイネーブルの時には CAS#パルス幅は 1 サイクルに固定されます。

ビット 0: T_{RP}(初期値"0").

RAS#プリチャージ幅指定ビットです。

0: 1 サイクル

1: 2 サイクル

DRAM Timing Register は RAS#プリチャージ時間、CAS#パルス幅、CBR リフレッシュ時の RAS#パルス幅、セルフリフレッシュ時の RAS#プリチャージ幅の設定を行います。

DRAM コントローラの制御信号(RAS#, CAS#, DWE#, DOE#, アドレスマルチプレクス)はすべて外部クロックに同期して制御されます(クロック逓倍回路の設定に依存しません)。

13.5. 動作説明

■動作モードの設定

DRAM コントローラを使用するに当たって、使用する DRAM の種類に合わせた動作モードの設定が必要です。

DRAM 領域の設定

DRAMC は、CS4#(チップセレクト 4)で指定されている領域をそのまま、DRAM 領域と見なして動作します。CS4#の領域指定方法は、ARSR(Address Range Specifier Register)、AMR(Address Mask Register)の説明を参照してください(いずれも CPU コアが内蔵しているレジスタです)。なお、DRAM 領域のレディ信号は DRAMC が生成するので、CS4#のウエイトステートジェネレータはディセーブルにする必要があります。また、CS5#は DRAMC がイネーブルの時には、CS4#領域中でノンキャッシュ動作するサブ領域を設定するためのものであるため、CS4#と同様ウエイトステートジェネレータはディセーブルにする必要があります。

データバス幅の設定

DRAM 領域のデータバス幅は、BWCR(Bus Width／Cacheable Register)で設定します。DRAMC は BWCR のビット 11-8 に設定された CS4#および CS5#のバス幅にしたがってアドレスのマルチプレクスを制御しますので 32 ビットバスおよび 16 ビットバス時には以下の設定をする必要があります。なお、DRAM コントローラは 8 ビットバス幅をサポートしておりません。

データバス幅	BWCR のビット 11-8 の設定
32 ビット	0000
16 ビット	1010

バンクサイズの設定

DRAM のバンクサイズは DRAM Bank Configuration Register のビット 3-0 で指定します。DRAMC は 4 つのバンクまで制御することができますが、バンクサイズは同一です。DRAM 領域全体のサイズに対して DRAM の 1 つのバンクのサイズが大きい場合には、制御されるバンク数は 4 つに満たないこともあります。例えば、DRAM 領域が 2MB でバンクサイズが 1MB の時には、バンク数は 2 つとみなされます。

ページサイズの指定

ページサイズは DRAM Bank Configuration Register のビット 6-4(コラムアドレスビット数指定ビット)により指定されます。本ページサイズの指定により、アドレスのマルチプレクスの仕方が決定されます。DRAM のページヒット検出のためのページサイズは、SPGMR(Same Page Mask Register)に設定する必要があります。

4CAS-1WE 方式と 4WE-1CAS 方式の選択

16 ビットや 32 ビットバス幅をもつ DRAM では、バイトごとのライトを制御するために複数の CAS を用意しているものあるいは複数の WE を用意しているものの 2 通りがあります。本 DRAM コントローラは DRAM コンフィギュレーションレジスタのビット 7 で 4CAS 方式か 4WE 方式のいずれかを選択します。

ハイパページモード(EDO モード)の選択

DRAM バンクコンフィギュレーションレジスタのビット 8 を"1"に設定することにより、パイパページ DRAM を接続し制御することが可能となります。ただし、DRAM バーストイネーブルビット(SSCR:システムサポート制御レジスタのビット 7)が"0"の場合には、アクセスタイミングは通常のページモード DRAM と同じアクセスサイクルで制御されます。

DRAM Burst Enable が"1"でかつ、ハイパページイネーブルの場合には、ハイパページバーストアクセスをサポートします。この場合、ADR<3:2>は CPU コアからの値ではなく、DRAM コントローラ自身が生成し、DRAM からのデータを受け取るよりも前に出力するため、通常のページモード DRAM でバースト転送する時と比べて、CAS のサイクルタイムを短くすることが可能です。

13. 6. DRAM アクセス基本タイミング

DRAM アクセスタイミングについて以下に示します。

バス幅	Burst Mode	Page／EDO DRAM Mode	R／W	タイミングチャート
32ﾋﾞｯﾄﾊﾞｽ	Off	Page	Read	図 14 参照
			Write	図 14 参照
	On	Page	Read	図 15 参照
			Write	図 15 参照
		EDO	Read	図 16, 図 17 参照
			Write	図 17 参照
16ﾋﾞｯﾄﾊﾞｽ	Off	Page	Read	図 18 参照
			Write	図 18 参照
	On	Page	Read	図 19 参照
			Write	図 22 参照(Page と EDO は同タイミング)
		EDO	Read	図 20, 図 21 参照
			Write	図 22 参照(Page と EDO は同タイミング)

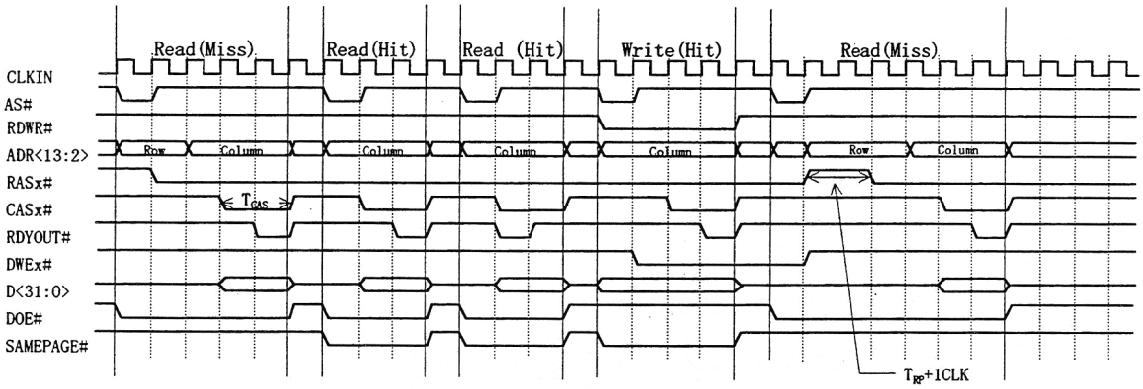


図14 DRAM Controller Enable=1, DRAM Burst Enable=0, 32bit Page Mode, Read/Write Timing

Read 時は命令フェッチとロードがあり、命令フェッチ時プリフェッチバッファが働くとリードとリードの間はアイドルサイクルが空かないことがあります。

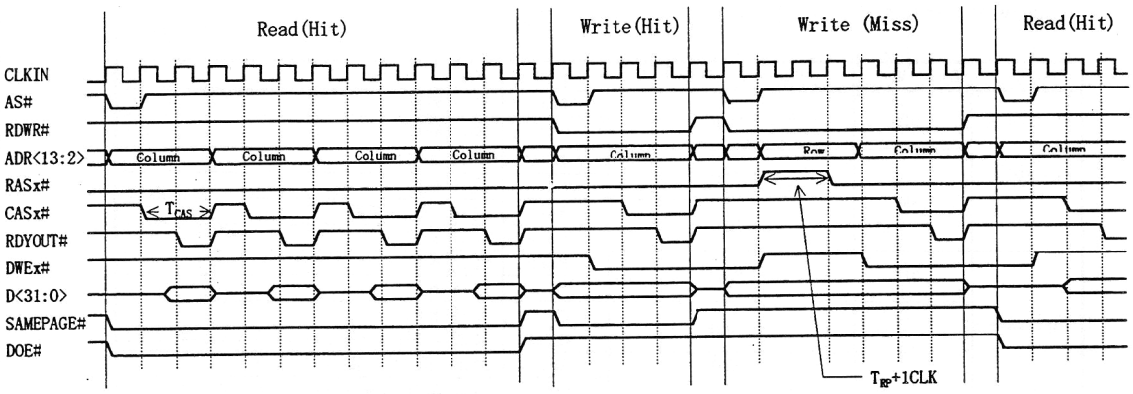


図15 DRAM Controller Enable=1, DRAM Burst Enable=1, 32bit Page Mode, READ/WRITE Timing

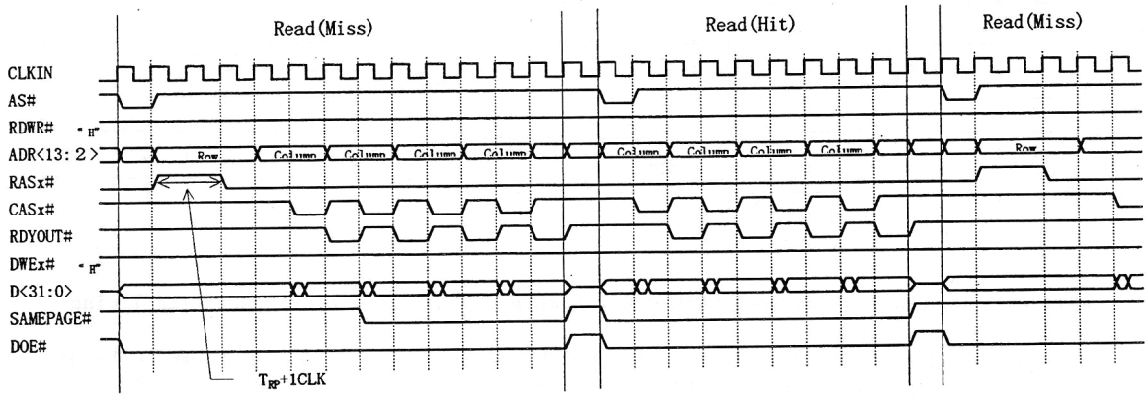


図16 DRAM Controller Enable=1, DRAM Burst Enable=1, 32bit EDO, READ Timing

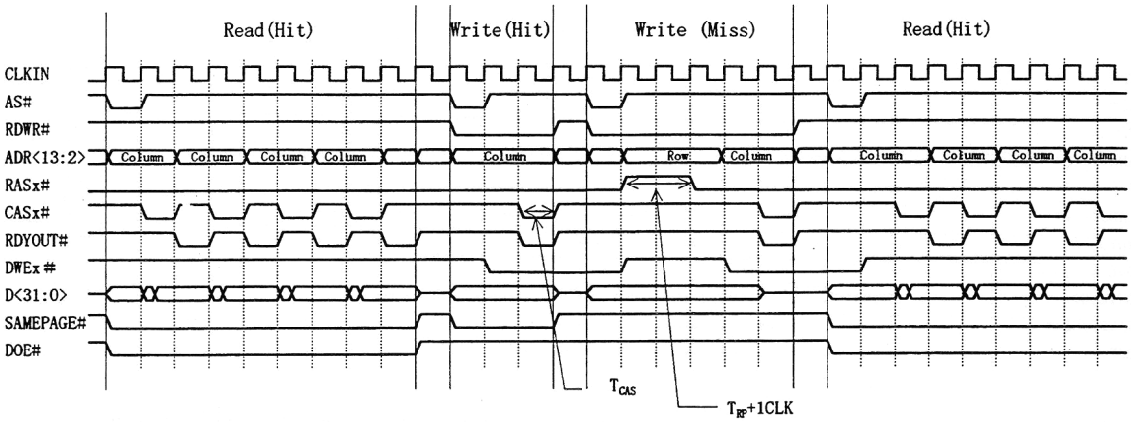


図17 DRAM Controller Enable=1, DRAM Burst Enable=1, 32bit EDO, READ/WRITE Timing

EDO DRAM を選択すると Read 時の CAS 幅は 1 サイクル固定、Write 時の CAS 幅は T_{CAS} の設定になります。

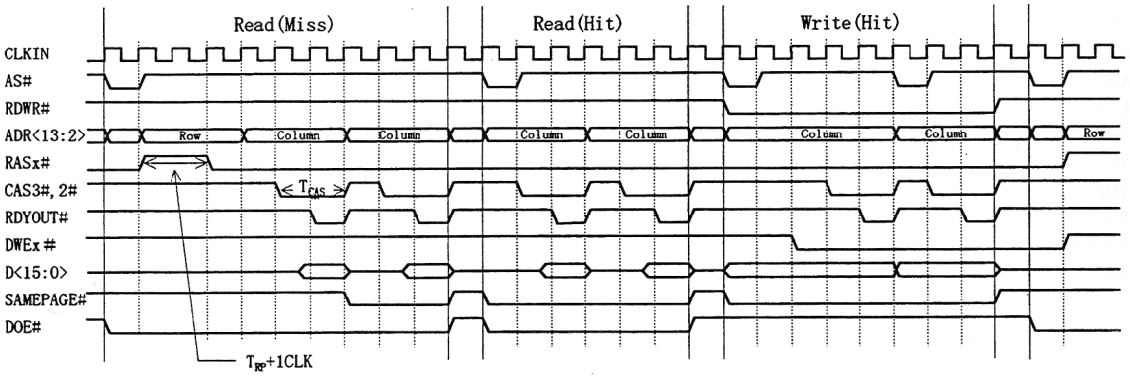


図18 DRAM Controller Enable=1, DRAM Burst Enable=0, 16bit Page Mode, READ/Write Timing

Read 時は命令フェッチとロードがあり、命令フェッチ時プリフェッチバッファが働くとリードとリードの間はアイドルサイクルが空かないことがあります。

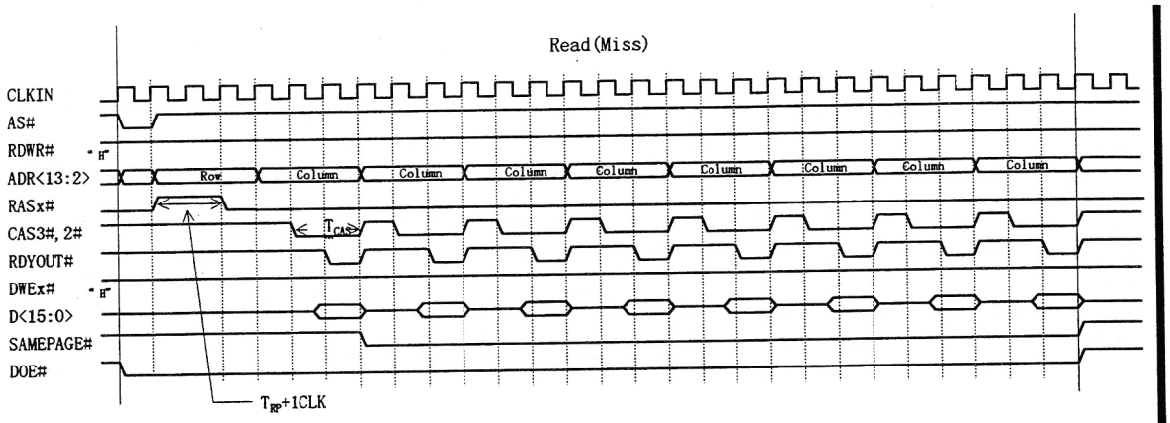


図19 DRAM Controller Enable=1, DRAM Burst Enable=1, 16bit Page Mode, READ Timing1

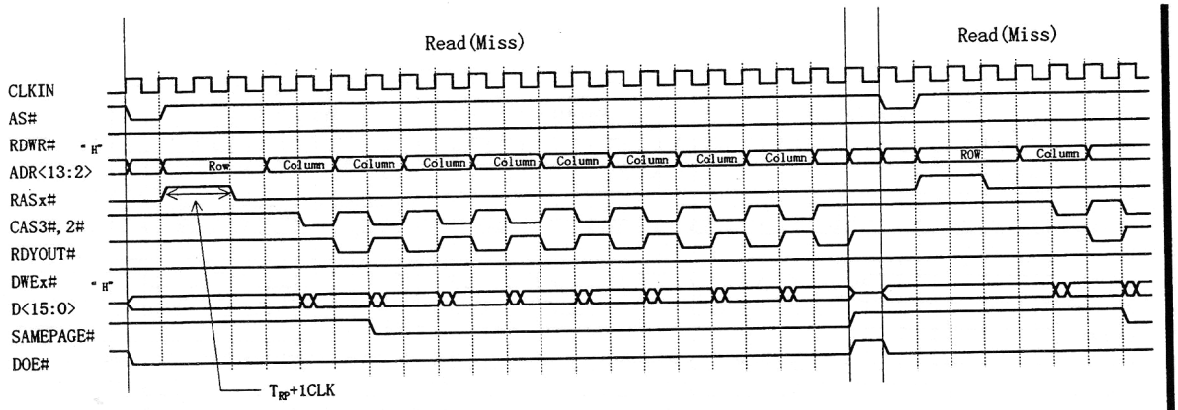


図20 DRAM Controller Enable=1, DRAM Burst Enable=1, 16bit EDO, READ Timing1

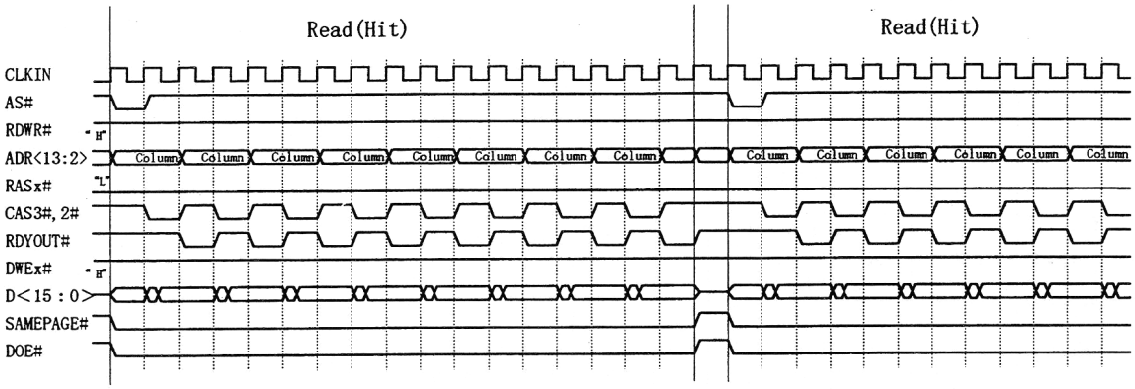


図21 DRAM Controller Enable=1, DRAM Burst Enable=1, 16bit EDO, READ Timing2

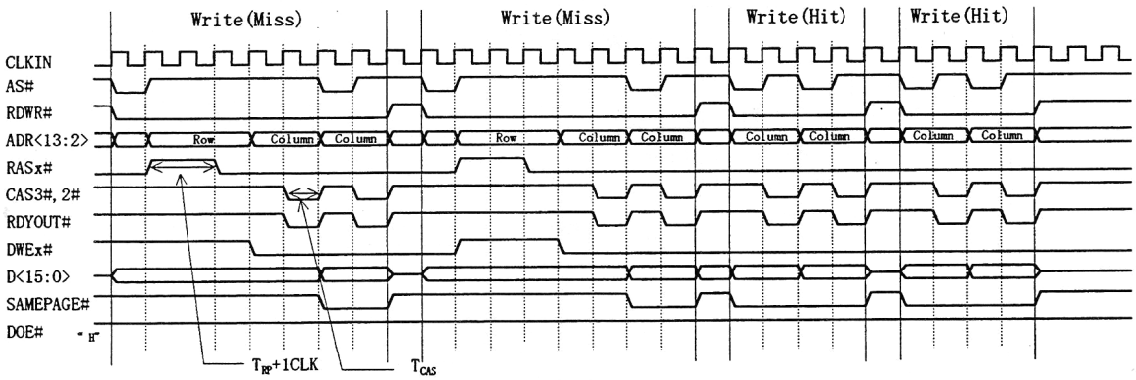


図22 DRAM Controller Enable=1, DRAM Burst Enable=1, 16bit EDO, WRITE Timing

13.7. DRAM コントローラの状態遷移

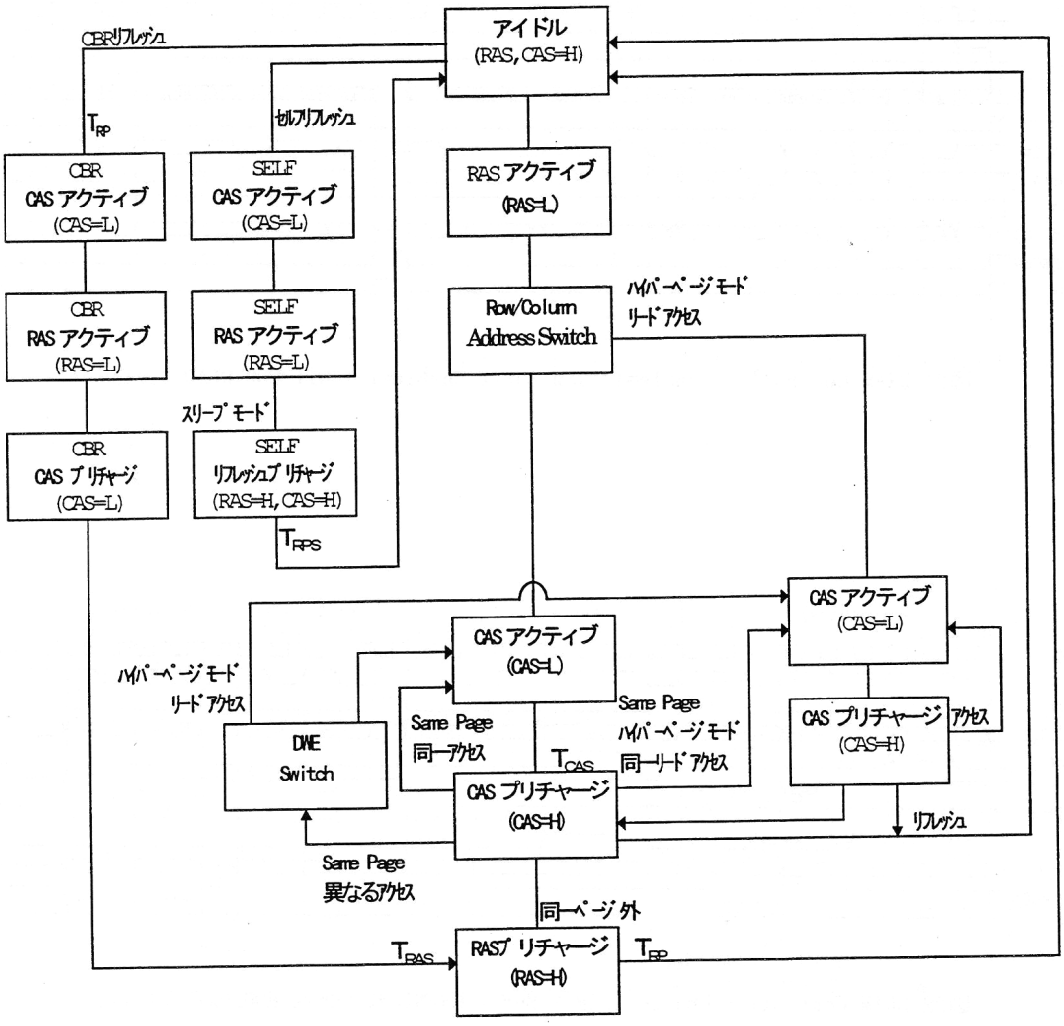


図23　DRAM コントローラの状態遷移図

14. 使用上の注意

■ASR18, ASR19 に対する RDASR, WRASR 命令について

MB86934, MB86936 では、DMA ステータスレジスタ 0 および 1 を ASR18 および ASR19 として(ユーザーモードで)アクセスできるように MB86930 の IU に対して RDASR18 および RDASR19 命令が追加されています。
本 CPU コアも MB86936 および MB86934 と同様、ASR18、ASR19 に対する RDASR、WRASR 命令をもっていますが、ASR18、ASR19 に対する RDASR、WRASR 命令を実行した場合には、ライト動作は無視され、リード時には不定値が読み込まれます(不法命令トラップは発生しません)。

■ライトバッファによるライト動作の相対的な遅れについて

MB86831 では、ライトバッファを 4 段持っており、IU はストア命令実行時にはライトバッファに書き込んだ時点で命令を完了し、次の命令に進みます。その際、キャッシュがヒットすると外部メモリや外部リソースへのライト動作の完了を待たずに命令実行を継続することになります。外部リソースへのライト完了後に命令を実行することを保証したい場合には、ダミーで ASI=4～ASI=7 等のキャッシュされない空間からのリード命令を挿入してください。外部バスへのライト動作はリード動作よりも優先して処理されるのでライトバッファにデータが残っている場合には、ロード命令に対してホールドがかかります。
例えば、割り込みコントローラの IRL をクリアして、割り込みルーチンから戻る場合 (jmpl, rett 命令実行) 、割り込みコントローラの IRL がクリアされない (レジスタへのライトが完了しない) うちに、割り込みイネーブル (ET=1) になることが起こり得ます。クロックの動作モードが×1、×2 では正常動作していても、×3 や×4 の逓倍モードでの動作時に、不具合が発生することもありますので注意が必要です。

15. MB86936 からの変更点

MB86936 から削除された機能ユニット

・FPU　(フローティングポイントユニット)
・VIDEO-IF　(プリンタ用ビデオインタフェース)
・DMAC　(DMA コントローラ)
・DSU　(デバッグサポートユニット)
・DRAMC　(DRAM コントローラ)
・IRC　(割り込みコントローラ)
・TIMER　(汎用タイマ 2本)
・JTAG
・パワーダウンモード
・パリティ生成/チェック機能

CPU コアに追加された機能

・スリープモード(プログラム実行再開可能なパワーセーブモード)
・クロック逓倍モードの拡張
・ROM アクセス後のアイドルサイクル挿入機能
・端子フローティング機能
・バーストモード ROM サポート機能改善

周辺リソースとして追加された機能

・IRC　(割り込みコントローラ)
・DRAMC　(DRAM コントローラ)

これらのリソースは、新規に設計されたモジュールであり、MB86936 のものとは異なっています。

端子機能

追加された端子

BTEST#, CTEST#	テスト用端子です。
FLOAT#	端子フロート機能が追加されたことにより、端子が追加になっています。
IDLEEN	アイドルサイクル追加オプション指定端子です。
PDOWN#, WKUP#	スリープモードが追加されたことにより、端子が追加になっています。
CLKSEL0, CLKSEL1	クロック逓倍回路の設定信号として追加されました。MB86936 では-CLKDBL 信号 1 本のみがクロック選択用の端子ですが、本 CPU コアでは、×1、×2、×3、×4 のクロックを指定するために 2 本となっています。また、本 CPU の CLKSEL0 と MB86936 の-CLKDBL とは極性が反対なので注意してください。。

修正された端子

BE0#～3#	アイドルサイクル中の出力レベルが MB86936 と異なる可能性があります。 (アイドルサイクル中の出力レベルはもともと保証されていません)
AS#, RD/WR#,	プルアップ抵抗を内蔵しません(MB86936 は内蔵)。したがって、外部バスマスタを使用する場合には外部でプルアップする必要があります。
NONCACHE#	プルアップ抵抗を内蔵しません(MB86936 は内蔵)。使用しない場合は外部で"H"に固定する必要があります。
BMODE8#, BMODE16#	プルアップ抵抗を内蔵しません(MB86936 は内蔵)。外部で"H"あるいは"L"に固定する必要があります。
SAMEPAGE#	MB86936 の仕様では、SAMEPAGE#出力は CS4#がアサートされている期間のみ出力レベルが有効です。本 CPU コアでも、CS4#がアサートされている期間の出力は MB86936 と同一ですが CS4#がアサートされていない時の SAMEPAGE#出力は MB86936 と異なります。
CLKEXT	MB86936(CLKECB)では、単に内部の PLL をバイパスして外部クロックを使用するという仕様ですが、本 CPU コアでは、外部クロックに切り換えると同時に PLL の動作を停止させる機能をもたせてあります。
RDYOUT#	MB86936 では、バスグラント時のみ内部レディが出力される仕様ですが、本 CPU コアではバスを開放しているかどうかにかかわらず、内部レディと READY#入力が合成(負論理の OR)された信号が出力されます。
BMACK#	プルアップ抵抗を内蔵しません(MB86936 は内蔵)。使用しない場合は外部で"H"に固定する必要があります。 MB86936 では、バーストモードアクノリッジは READY#入力と同一サイクルでのみアサート可能であり、それ以外のサイクルで入力された場合には、動作が保証されておりません。 本 CPU コアでは、ひとつのバースト転送サイクルの期間、連続して"L"を入力しても動作可能となっています。これにより、CS0#出力をそのまま BMACK#に接続することで、バーストモード ROM 使用時に内部のウエイトステート生成回路から生成されるレディ信号を使用することが可能になっています。

周辺リソース用に置き換えあるいは追加された端子

RAS0# ～ RAS3# CAS0# ～ CAS3#	CPU コアの端子からは削除され、周辺リソース(DRAMC)の端子として追加されています。
DWE0# ～ DWE3#	MB86936 の端子としては-DWE の 1 本のみでしたが、2WE 方式の DRAM サポート用に周辺リソース(DRAMC)の端子として追加されました。
DOE#	周辺リソース(DRAMC)の端子として追加されています。
IRQ11 ～ IRQ8	周辺リソース(IRC)の端子として追加されています。

削除された端子

VIDEO-IF 関連:	VDAT<3:0>, PSYNC, LSYNC, VCLK
JTAG 関連 :	TDI, -TRST, TCK, TMS, TDO
DMAC 関連 :	-DREQ2～0, -DACK2～0, -EOP2～0
パリティ :	PARITY3～0
DSU 関連 :	EMU_SD<3:0>, EMU_D<3:0>, -EMU_BRK, -EMU_ENB
その他 :	-NVWE, -OE, -PDRESET, PID, TIMEROUT0, CLKOUT1, CLKOUT2, XTAL2

MB86936 と MB86831 の端子対応

・MB86936 の各端子に対応した、MB86831 の端子番号と、端子名が変更になる場合はその端子名を示します。"-"は対応する端子がない事を示します。また、以下の対応表で、MB86936 の-CLKDBL と MB86831 の CLKSEL0 は極性が逆であることに注意してください。

Pin#	MB86936 Pin#, Name	MB86831	Pin#	MB86936 Pin#, Name	MB86831	Pin#	MB86936 Pin#, Name	MB86831	Pin#	MB86936 Pin#, Name	MB86831
1	VDAT<3>	-	53	-EMU_D<0>	-	105	D<4>	37	157	IO_VDD	- (VDD5)
2	VDAT<2>	-	54	VSS	- (VSS)	106	VSS	- (VSS)	158	-DACK1	-
3	VDAT<1>	-	55	-EMU_ENB	-	107	VDD	- (VDD3)	159	-RDYOUT	79 RDYOUT#
4	VDAT<0>	-	56	VSS	- (VSS)	108	D<3>	40	160	-PDRESET	-
5	IO_VDD	- (VDD5)	57	VDD	- (VDD3)	109	D<2>	41	161	-NVWE	-
6	IO_VSS	- (VSS)	58	D<31>	2	110	D<1>	42	162	-OE	-
7	VDD	- (VDD3)	59	D<30>	3	111	D<0>	43	163	ADR<2>	98
8	IRL<3>/IRQ15	140	60	D<29>	4	112	VDD	- (VDD3)	164	ADR<3>	99
9	IRL<2>/IRQ14	141	61	IO_VDD	- (VDD5)	113	-RESET	148 RESET#	165	ADR<4>	101
10	IRL<1>/IRQ13	142	62	D<28>	5	114	-BREQ	68 BREQ#	166	ADR<5>	102
11	IRL<0>/IRQ12	143	63	D<27>	8	115	VSS	- (VSS)	167	VDD	- (VDD3)
12	VSS	- (VSS)	64	IO_VSS	- (VSS)	116	-MEXC	126 MEXC#	168	VSS	- (VSS)
13	CLK_ECB	153 CLKEXT	65	D<26>	9	117	-READY	110 READY#	169	ADR<6>	103
14	TDI	-	66	D<25>	10	118	IO_VSS	- (VSS)	170	ADR<7>	104
15	-TRST	-	67	D<24>	11	119	-CAS0	57 CAS0#	171	-EOP0	-
16	TCK	-	68	VSS	- (VSS)	120	-BGRNT	70 BGRNT#	172	ADR<8>	106
17	TMS	-	69	VDD	- (VDD3)	121	IO_VDD	- (VDD5)	173	ADR<9>	107
18	IO_VDD	- (VDD5)	70	VDD	- (VDD3)	122	-ERROR	64 ERROR#	174	IO_VSS	- (VSS)
19	IO_VSS	- (VSS)	71	VDD	- (VDD3)	123	-LOCK	65 LOCK#	175	IO_VDD	- (VDD5)
20	VSS	- (VSS)	72	D<23>	13	124	-BMACK	71 BMACK#	176	ADR<10>	108
21	VDD	- (VDD3)	73	D<22>	14	125	RD/-WR	78 RDWR#	177	-EOP1	-
22	-DREQ2	-	74	VSS	- (VSS)	126	-AS	76 AS#	178	ADR<11>	109
23	-DACK2	-	75	D<21>	15	127	-PBREQ	69 PBREQ#	179	ADR<12>	112
24	TDO	-	76	D<20>	16	128	IO_VSS	- (VSS)	180	IO_VDD	-
25	-RAS2 /-TIMER_OVF	54 RAS2# 74 OVF#	77	IO_VDD	- (VDD5)	129	-CAS1	58 CAS1#	181	ADR<13>	113
26	IO_VDD	- (VDD5)	78	D<19>	18	130	-CAS2	59 CAS2#	182	VDD	- (VDD3)
27	IO_VSS	- (VSS)	79	IO_VSS	- (VSS)	131	-CS0	87 CS0#	183	VSS	- (VSS)
28	VDD	- (VDD3)	80	D<18>	19	132	-DREQ0	-	184	ADR<14>	114
29	XTAL2	-	81	-BMODE16	7 BMODE16#	133	-CS1	86 CS1#	185	IO_VSS	- (VSS)
30	XTAL1	154 CLKIN	82	D<17>	20	134	VSS	- (VSS)	186	ADR<15>	115
31	-RAS0	52 RAS0#	83	D<16>	21	135	-CS2	85 CS2#	187	ADR<16>	117
32	-NONCACHE	95 NONCACHE#	84	VDD	- (VDD3)	136	-CS3	84 CS3#	188	PARITY0	-
33	CLKOUT1	-	85	VSS	- (VSS)	137	-CS4	81 CS4#	189	ADR<17>	118
34	-EOP2	-	86	IO_VDD	- (VDD5)	138	-DREQ1	-	190	TIMEROUT0	-
35	CLKOUT2	-	87	-BMODE8	38 BMODE8#	139	IO_VDD	- (VDD5)	191	LSYNC	-
36	VSS	- (VSS)	88	D<15>	24	140	-RAS1 /-CS5	53 RAS1# 80 CS5#	192	ADR<18>	119
37	PARITY2	-	89	D<14>	25	141	-RAS3 /-SAME_PAGE	55 RAS3# 75 SAMEPAGE#	193	ADR<19>	120
38	VDD	- (VDD3)	90	D<13>	26	142	VDD	- (VDD3)	194	ADR<20>	122
39	PID	-	91	D<12>	27	143	VSS	- (VSS)	195	PARITY1	-
40	PARITY3	-	92	D<11>	29	144	IO_VDD	- (VDD5)	196	ADR<21>	123
41	-EMU_BRK	-	93	IO_VSS	- (VSS)	145	-DACK0	-	197	N.C.	-
42	AVSS	- (VSS)	94	D<10>	30	146	-BE3	90 BE3#	198	-CLKDBL	152 CLKSEL0
43	AVDD	- (VDD3)	95	D<9>	31	147	IO_VSS	- (VSS)	199	ADR<22>	124
44	-EMU_SD<3>	-	96	D<8>	32	148	-BE2	91 BE2#	200	ADR<23>	125
45	-EMU_SD<2>	-	97	VDD	- (VDD3)	149	-BE1	92 BE1#	201	ADR<24>	128
46	-EMU_SD<1>	-	98	-DWE	49 DWE0#	150	-BE0	93 BE0#	202	ADR<25>	129
47	EMU_VSS	- (VSS)	99	IO_VSS	- (VSS)	151	ASI<0>/VDAT<4>	137 ASI<0>	203	IO_VSS	- (VSS)
48	EMU_VDD	- (VDD5)	100	IO_VDD	- (VDD5)	152	IO_VSS	- (VSS)	204	IO_VDD	- (VDD5)
49	-EMU_SD<0>	-	101	D<7>	34	153	-CAS3	60 CAS3#	205	PSYNC	-
50	-EMU_D<3>	-	102	D<6>	35	154	ASI<1>/VDAT<5>	136 ASI<1>	206	VCLK	-
51	-EMU_D<2>	-	103	-BMREQ	73 BMREQ#	155	ASI<2>/VDAT<6>	135 ASI<2>	207	ADR<26>	130
52	-EMU_D<1>	-	104	D<5>	36	156	ASI<3>/VDAT<7>	134 ASI<3>	208	ADR<27>	131

レジスタ

削除されたレジスタ

- ●DMAC の全レジスタ
- ●DRAMC の全レジスタ(ASR18, ASR19 を含む)
- ●IRC の全レジスタ
- ●汎用タイマの全レジスタ
- ●プリンタビデオインタフェースの全レジスタ
- ●DSU(デバッグサポートユニット)の全レジスタ
- ●FPU 内蔵の全レジスタ
- ●パワーダウンレジスタ
- ●キャッシュステータスレジスタ

追加されたレジスタ

ASI	ADDRESS	記号	レジスタ名称	b31 b24	b23 b16	b15 b8	b7 b0
0x01	0x00020000	VER2	Ancillary Version Register 【ﾘｰﾄﾞｵﾝﾘ】 *1	--------	--------	00000000	00000000
0x01	0x00020004	SLPMD	Sleep Mode Register 【ﾗｲﾄｵﾝﾘ】	--------	--------	--------	-------0

*1:MB86831 では、CPU コアのバージョンを管理するため、PSR(プロセッサステータスレジスタ)の VER フィールドとは別にバージョン管理用のレジスタを補助バージョンレジスタとして追加しました。ちなみに、PSR の VER フィールドの値は、MB86936 が $1001_{(2)}$ であり、本 CPU コアは $1111_{(2)}$ です。

これらのレジスタの他にチップに内蔵される周辺リソースのレジスタが追加となります。

変更されたレジスタ

ASI	ADDRESS	記号	レジスタ名称	b31 b24	b23 b16	b15 b8	b7 b0
0x01	0x00000080	SSCR	System Support Control Register	--------	--------	--------	000010xx
0x01	0x00000124	ARSR1	Address Range Specifier Register1	-xxxxxxx	xxxxxxxx	xxxxxxxx	xxxxxxx-
0x01	0x00000128	ARSR2	Address Range Specifier Register2	-xxxxxxx	xxxxxxxx	xxxxxxxx	xxxxxxx-
0x01	0x0000012C	ARSR3	Address Range Specifier Register3	-xxxxxxx	xxxxxxxx	xxxxxxxx	xxxxxxx-
0x01	0x00000130	ARSR4	Address Range Specifier Register4	-xxxxxxx	xxxxxxxx	xxxxxxxx	xxxxxxx-
0x01	0x00000134	ARST5	Address Range Specifier Register5	-xxxxxxx	xxxxxxxx	xxxxxxxx	xxxxxxx-
0x01	0x00000160	WSSR0	Wait State Specifier Register0	-xxxxxxx	xx000111	11111111	0100RR--
0x01	0x00000164	WSSR1	Wait State Specifier Register1	-xxxxxxx	xx000xxx	xxxxxxx0	0000RR--
0x01	0x00000168	WSSR2	Wait State Specifier Register2	-xxxxxxx	xx000xxx	xxxxxxx0	0000RR--
0x01	0x00000174	REFTMR	DRAM Refresh Timer Register	R-------	--------	11111111	11111111
0x01	0x00000178	DRLD	DRAM Refresh Timer Pre-load	0-------	--------	11111111	11111111

(注)レジスタのビット値は以下のように初期値を表します。

"1":初期値"1"。 "R":予約ビット(ライト時は"0"ライト)。

"0":初期値"0"。 "-":その位置に物理的にレジスタがない(将来拡張の可能性あり。"0"ライト必要)

"x":初期値不定。 "*":その位置に物理的にレジスタがない(将来拡張の可能性なし)

- SSCR は、DMA,PARITY bit の設定ビット(bit1,0)が削除されます。
- ARSR1～5 は、MB86936 ではライトオンリですが、本チップではリードライト可能になっています。
- REFTMR および DRLD は、MB86936 では初期値不定ですが、本チップではリセット時オール 1 が設定されます。
- WSSR は、PE1,0(パリティイネーブルビット)が、リザーブに変更されています。

動作上の変更点

1. ウエイトステートの指定について　■その 1■

MB86936 の場合			MB86831 の場合	
CS0#～3#, CS5#	CS4#		CS0#～5#(すべてのチップセレクト)	
バースト OFF/ON	バースト OFF	バースト ON	バースト OFF	バースト ON
ウエイト数 ・ライト時: COUNT1+1 ・リード時: COUNT2+1	**ウエイト数** ・ページミスヒット時 COUNT1+1 ・ページヒット時 COUNT2+1	**ウエイト数** ・1 ワードめの転送: COUNT1+1 ・2-4 ワードめの転送: COUNT2+1	**ウエイト数　*1** COUNT1+1	**ウエイト数** ・1 ワードめの転送: COUNT1+1 ・2-4 ワードめの転送: COUNT2+1

*1: MB86831 ではバーストモード OFF 時には COUNT1 および COUNT2 に同一の値を設定する必要があります。

ウエイトステート生成回路は上記のように、MB86936 のものから修正されています。これは、チップセレクト 4 領域以外(特に、CS0#領域)でも内部ウエイトステート生成回路を使用したバースト転送を可能にするための修正です。

MB86936 と同一動作にするためには、バーストモード OFF でかつ、WSSR(Wait State Specifier Register)の COUNT1 および COUNT2 に同一の値を設定する必要があります。

2. ウエイトステートの指定について　■その 2■

MB86936 では、DRAMC を ON にした時には CS4#および CS5#用のウエイトステート生成をハードウエアでディセーブル(外部 READY)にします。したがって、内蔵 DRAM コントローラ使用時には、CS5#に CS4#(DRAM 領域)と独立した領域を割り当てる場合であっても、内蔵ウエイトステート生成回路が使用できず、外部 READY を使用する必要があります。

MB86831 では、DRAMC を ON にする場合に CS4#および CS5#のウエイトステート生成をディセーブルに設定(シングルサイクルも禁止)するのはプログラマの責任となっています。したがって、CS5#に CS4#(DRAM 領域)と独立した領域を割り付ける場合には、CS5#の内蔵ウエイトステート生成回路を使用することができます。

3. DRAM リフレッシュタイマの周期およびオーバフロー出力について

MB86936 では、DRAM 用のリフレッシュタイマは内部クロックでカウントされるため、クロックダブラが ON の時にはリフレッシュのレートが、クロックダブラ OFF の場合の半分になります。一方、本 CPU コアでは、DRAM リフレッシュカウンタが外部クロックでカウントされるため、リフレッシュのレートはクロックダブラ ON の場合と OFF の場合とで同一です。

また、MB86936 では、リフレッシュタイマのオーバフロー出力(OVF#)は、外部バスクロックの 1 サイクル期間のみアサートされますが、本 CPU コアでは 1 サイクル期間あるいは 3 サイクル期間のいずれかを選択可能な仕様に修正されています。1 サイクルか 3 サイクルかの選択は MB86933H と同様、DRAM Refresh Timer Pre-load(DRLD)のビット 31 で選択します。

4. ライトバッファの動作

(1)MB86936 では、ライトバッファを OFF にする場合（キャッシュを OFF にする場合を含む)、ライトバッファが空になっている必要があり、これを保証するためにはプログラム中で、ライトバッファをオフにするためのストア命令の直前に外部メモリ(非キャッシュ領域)をリードアクセスする命令(例えば ASI=0x04 領域のロード命令)を置く必要があります。一方、本 CPU コアでは、ライトバッファをオフにするためのストア命令を実行した際に、ライトバッファが空になるのを待って、キャッシュおよびライトバッファをオフにする制御を組み込んでいます。

(2)前記(1)により、例外発生時のライトバッファの動作も修正されています。
MB86936 では、ライトバッファ動作時に MEXC#が入力されると、ライトバッファの内容をクリアしますが、本 CPU コアではライトバッファをクリアせず、動作を継続します。このため、例外処理ルーチンにジャンプする前にメモリ例外を引き起こし得る複数のデータがライトバッファに入っている場合には、2 重例外が発生してエラー状態となる可能性があります(キャッシュがヒットしている場合)。

5. ROM 直結のためのアイドルサイクル挿入機能

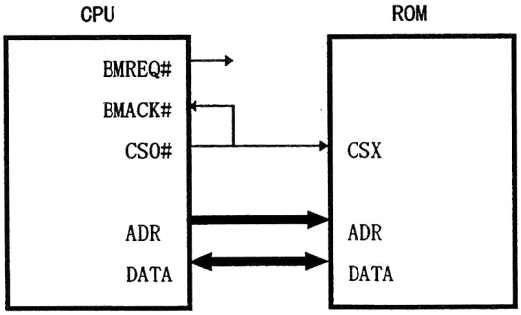
データバスのオフタイムの長い EPROM を CPU に直結するための補助機能として、CS0#領域をアクセスした直後のバスサイクルの開始を遅らせる機能を追加しています。

(1) IDLEEN 端子が"L"の時
MB86936 と同様にデータリードあるいは命令フェッチ直後のライト時にアイドルサイクルが 1 サイクル挿入されます。

(2) IDLEEN 端子が"H"の時
CS0#領域をアクセスした直後のバスサイクルがライトあるいはデータリードの時には 2 サイクルのアイドルサイクルが挿入されます。CS0#アクセス直後のバスサイクルが命令フェッチである場合は、アイドルサイクルは挿入されません。また、外部バスマスタが、CS0#領域を使用する DMA 転送を行った後、BREQ#, BGRNT#がネゲートされた後のアクセスでは、アイドルサイクルは挿入されません。

6. BMACK#入力信号

MB86936 では、BMACK#信号は READY#入力と同一のサイクル以外での入力は保証されていません(誤動作します)。本 CPU コアでは、バーストモード転送サイクル内で連続して BMACK#に"L"を入力しても良い仕様に変更してあります。これは、バーストモード ROM を内部レディを使用して接続する際に CS0#出力を BMACK#に接続できるようにするための変更です。



7. 16 ビットバス幅時のバーストモード

MB86936 では、16 ビットバス幅時のバーストモードはサポートされない仕様ですが、本 CPU コアでは 16 ビットバス時でもバースト転送(8 回の転送)を可能としました。ただし、16 ビットバス時の BMACK#信号は 2 回目の READY#で取り込まれた後、バースト転送にするか通常の転送で終了するかを決定します。この時、BMREQ#信号も 2 回めの READY#がかえされるまでアサートされ続けます。
これにより、内部のウエイトステート生成回路を使用する場合には、以下のように 1 回目と 2 回目の転送とそれ以降の転送でウエイト数を切り換えることになります。

(1)内部レディ使用時
1 回目と 2 回目の転送のウエイト数　: COUNT1+1
3 回目から 8 回目の転送のウエイト数: COUNT2+1

(2)外部レディ使用時
外部回路に依存します(BMACK#が 2 回目の READY#のタイミングで取り込まれることに注意)

8. DRAMC が ON の時の外部バスマスタサポート機能 ■その 1■

MB86936 では、DRAMC がイネーブルになっている場合に、外部バスマスタが CS4# 領域(DRAM 領域)をアクセスした場合には、CPU が外部バスマスタからアドレスを受け取って、ROW アドレスと COLUMN アドレスをマルチプレクスするとともに RAS#, CAS#制御し、DRAM にアクセスする機能をもっています。この場合、外部バスマスタは、AS#の駆動とともに 1 サイクル期間だけアドレスバスを駆動する必要があります。一方、DRAM 領域以外をアクセスする場合には CPU は外部からアドレスを取り込んで出力するという動作を行わないため、外部バスマスタがバスサイクルが完了するまでアドレスバスを駆動する必要があります。すなわち、外部バスマスタは DRAM 領域へのアクセスなのかそれ以外の領域なのかをあらかじめ知っておく必要があることになります。
本 CPU コアでは、外部バスマスタの動作がアクセスするアドレス領域によらず統一できるように DRAM コントローラがイネーブルの時には、CS4#領域だけでなく、すべての領域でアドレスバスを外部から取り込んだ後、出力する仕様に変更しました。なお、DRAM コントローラがオフの場合には、MB86936 と同様、すべての領域にわたってアドレスバスを駆動しない仕様になっています。

9. DRAMC が ON の時の外部バスマスタ機能 ■その 2■

MB86936 では、DRAM 領域に 16 ビットバス幅を使用している時の外部バスマスタ機能をサポートしていません(ADR<1>を入力する端子がありません)。本 CPU コアでは、DRAM 領域が 16 ビットバス幅の場合には BE2#端子から ADR<1>の情報を取り込んでアドレス端子にマルチプレクスして出力する仕様に変更しました。