

RMTP : Responsive MultiThreaded Processor

- Guarantee of processing time and communication time by hardware
- System LSI integrating all required functions for distributed real-time control on a chip

1. Multithreaded Processing Core for Real-Time Processing: *RMT PU*
2. Real-Time Communication: *Responsive Link*
3. Computer I/Os: PCI-X, IEEE1394, DDR SDRAM I/Fs (128/32bit), Ethernet, 32bit DMAC (12ch), etc.
4. Control I/Os: PWM output x 6, PWM input x 3, Pulse Counter (A,B,Z) x 3, SPI (3cs x 2ch), Digital I/O

- 低消費電力機構: IPブロック単位の動的クロック制御機構(DVFS)
低消費電力セル(HighVt)と高性能セル(LowVt)を用いた複合設計

RMT Processing Unit (RMT PU) の概要

ハードウェアでリアルタイム処理をサポート
ソフトウェアによるコンテキストスイッチをRMT
(優先度付SMT)機構に変換

1. 優先度付マルチスレッディング
 - a. 8スレッド同時実行
 - b. コンテキストキャッシュ(32スレッド格納)
 - c. 256レベルの優先度
 - d. 割り込みによるスレッドの起動
2. 高性能ベクトルプロセッサ
 - a. 柔軟な複合演算をサポートした
2次元ベクトル演算器(整数及び浮動小数点)
 - b. 複数スレッドによるベクトルレジスタの共有
3. 低消費電力機構
 - a. IPブロック単位の動的クロック制御機構
 - b. 低消費電力セルと高性能セルを用いた複合設計
4. 性能概要 @100MHz
 - a. コンテキストスイッチ: 4clock cycle
 - b. Scalar Integer: 400MIPS
 - c. Scalar Floating Point: 200MFLOPS
 - d. Vector Integer (32bit): 3.2GIPS
 - e. Vector Integer (16bit): 6.4GIPS
 - f. Vector Integer (8bit): 12.8GIPS
 - g. Vector Floating Point (64bit): 1.6GFLOPS
 - h. Vector Floating Point (32bit): 3.2GFLOPS演算性能: Pentium4の0.1~2倍
消費電力: 1/100~1/20 (0.1~4W)

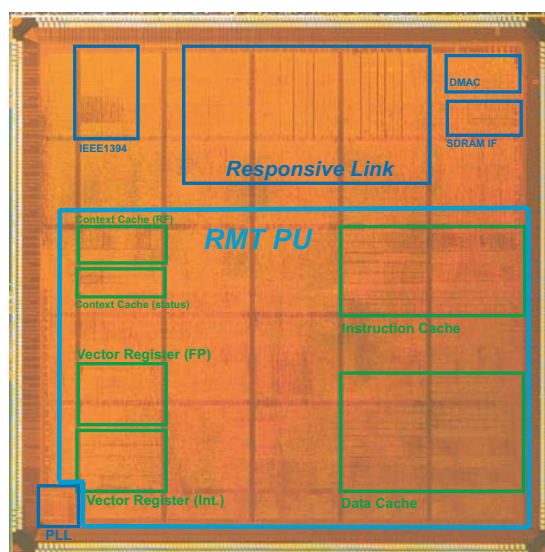


Fig.1 Photo of μ RMT Processor

M-RMT Processor 設計プロセス

1. 製造メーカ: TSMC
2. プロセスルール: 0.13[μ m] CMOS
8層Cu配線
3. ゲート数: 約14Mゲート
4. 動作電圧:
Core: 1.0[V]
I/O: 3.3[V]
5. 消費電力: 0.1~4[W]
6. ダイサイズ: 10.0[mm] x 10.0[mm]

Responsive Link の概要

1. ハードウェアによるリアルタイム通信の実現
 - a. ハードリアルタイム通信: Event link
 - b. ソフトリアルタイム通信: Data link
 - c. 優先度によるパケットの追い越し
 - d. 優先度毎に独立な経路設定可能
 - e. ノード毎に優先度の付け替えが可能
 - f. 256レベルの優先度
 - g. 5 x 5 (5入力5出力)のルータスイッチ
2. 標準化
 - a. 国際標準化: ISO 24740:2008
 - b. 情報処理学会試行標準 IPSJ-TS 0006:2003
3. 性能概要
 - a. Serial Link: Parallel Link:
1way: 400 (Mbps/link) 1way: 1.6 (Gbps/link)
1pair: 1.6 (Gbps/link) 1pair: 6.4 (Gbps/link)
 - b. Gigabit Ethernetの1/10以下の低レイテンシを実現可能

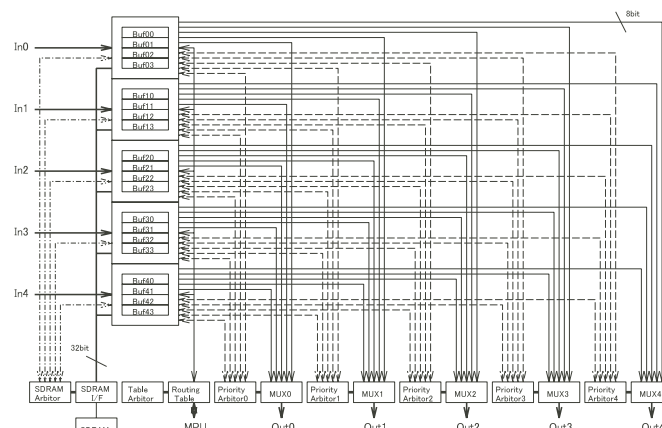


Fig.2. *Responsive Link* Switch with Packet Overtaking Function

RMT Processor series

- **RMT Processor** for distributed real-time processing
TSMC 0.13um LV-FSG
- **μ RMT Processor** for humanoid robot control
TSMC 0.13um LVHP
- **M-RMT Processor** for robot motion control
TSMC 0.13um LVHP + LVHP HighVt
- **HP-RMT Processor** for video processing and planning of a humanoid robot
TSMC 90nm LowK, Dual core

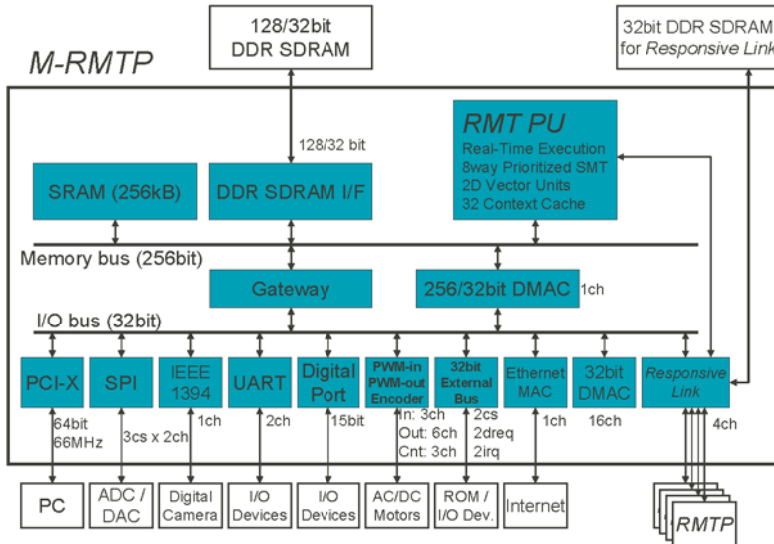


Fig.3 Block Diagram of *M-RMTP*

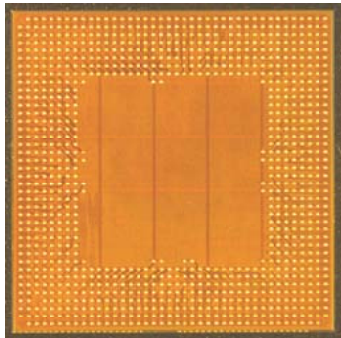


Fig.4 Photo of Bare Dire of *M-RMTP*

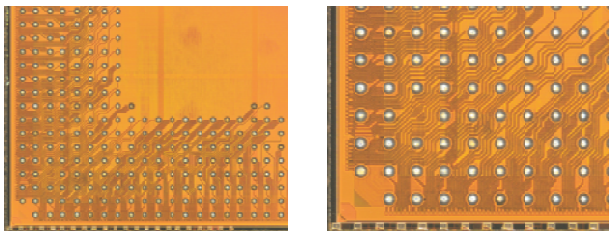


Fig.5 Flip Chip Implementation

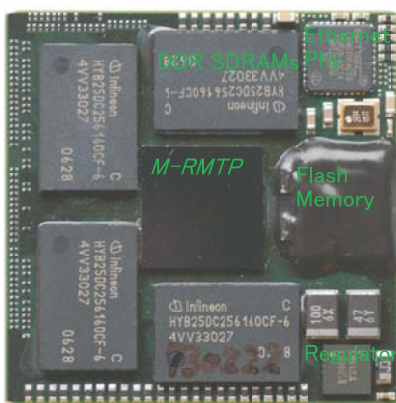


Fig.6 *M-RMTP* SiP (System-in-Package)

- **DDR SDRAM x 4**
- **Termination Regulator for DDR SDRAM**
- **Flash Memory x 2**
- **Ethernet PHY**
- **Registers**
- **Capacitors**
- **Size: 33.0 x 33.0 mm**

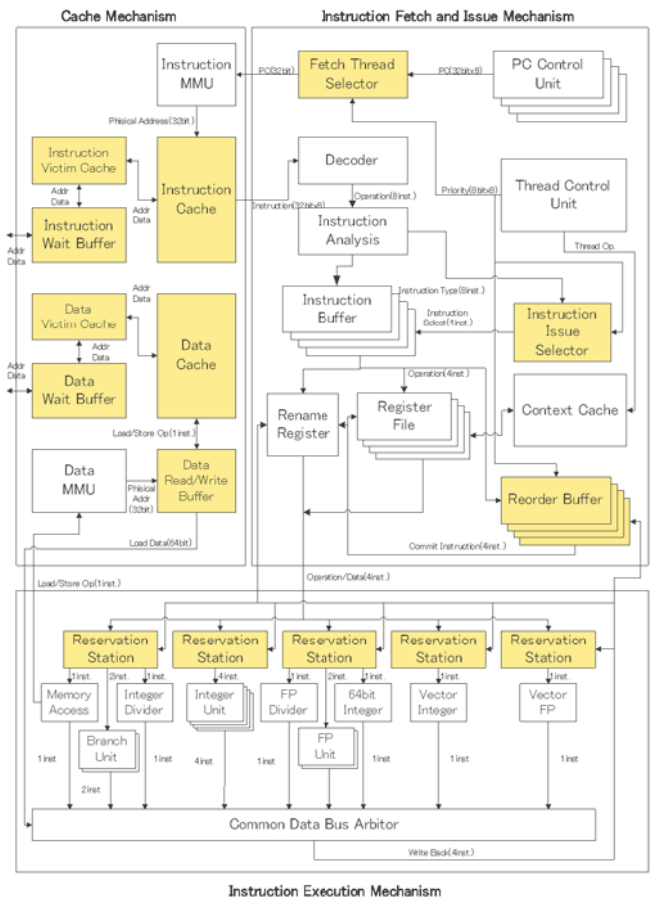


Fig.4 Block Diagram of *RMT PU*

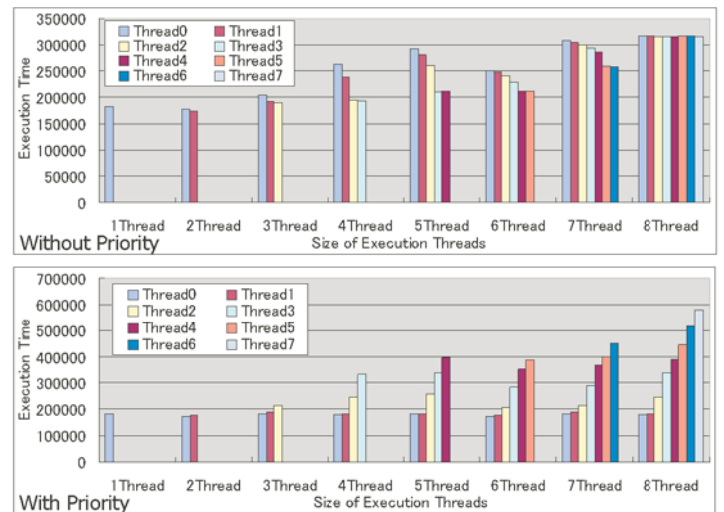


Fig.7 Execution w/o Priority on *RMT Processor*

8スレッドまでの静的スケジューリング(RM等)であればスケジューラ不要

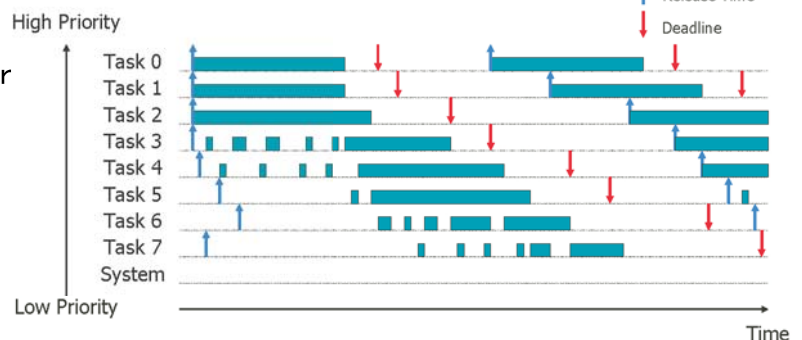


Fig.8 Real-Time Execution on *RMT Processor*